

EXPRESS MAIL NUMBER: EL 904 946 139 US

DATE OF DEPOSIT: September 25, 2001

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Box PATENT APPLICATION, Commissioner for Patents; Washington, DC 20231.



Rosa A. Caviedes



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Mikio Shiraishi

Serial No.: Not yet assigned

Group Art Unit: Not yet assigned

Filed: September 25, 2001

Examiner: Not yet assigned

Title: DIGITAL FILTER

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

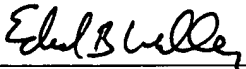
<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	P2000-295206	09/27/2000

A Certified copy of the corresponding Convention Application(s) is(are) being submitted herewith.

Respectfully submitted,

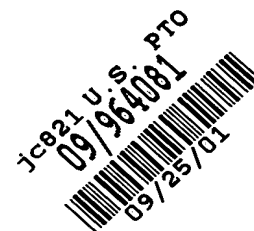
GRAY CARY WARE & FREIDENRICH LLP

Dated: September 25, 2001

By 
Edward B. Weller
Reg. No. 37,468
Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
1755 Embarcadero Road
Palo Alto, CA 94303-3340
Telephone: (650) 833-2000
Facsimile: (650) 320-7401

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of the following application
as filed with this Office.

Date of Application : September 27, 2000

Application Number : P2000-295206

Applicant(s) : KABUSHIKI KAISHA TOSHIBA

June 21, 2001

Commissioner,
Patent Office

Kouzou OIKAWA

Number of Certificate:

697

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月27日

出 願 番 号

Application Number:

特願2000-295206

出 願 人

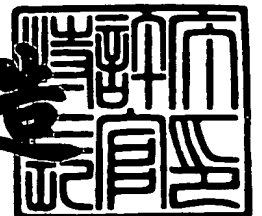
Applicant(s):

株式会社東芝

2001年 6月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3058579

【書類名】 特許願

【整理番号】 46B003509

【提出日】 平成12年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/00

【発明の名称】 デジタルフィルタ

【請求項の数】 44

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 白石 幹雄

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタルフィルタ

【特許請求の範囲】

【請求項 1】 デジタルフィルタにおいて、

演算に際して定められたビット長を超えたデータが発生するオーバーフローを
全てのビットに互って検出するオーバーフロー検出手段と、

前記オーバーフロー検出手段により正のオーバーフローが検出された場合は出力値を正の最大値に固定し、負のオーバーフローが検出された場合は出力値を負の絶対値の最大値に固定するクリップ手段と、

を具備することを特徴とするデジタルフィルタ。

【請求項 2】 前記オーバーフロー検出手段によるオーバーフローの検出レベルを 1 ビット下げることの特徴とする請求項 1 記載のデジタルフィルタ。

【請求項 3】 前記出力値を四捨五入する丸め手段を具備することを特徴とする請求項 1 又は 2 記載のデジタルフィルタ。

【請求項 4】 互いに縦続接続が可能なデジタル回路であって、

少なくとも 1 つの前向係数器と、

少なくとも 1 つの後向係数器と、

前記後向係数器の出力と入力信号とを加算する加算手段と、

前記加算手段の出力を記憶する記憶手段と、

前記後向係数器の出力と前段の前向係数器の出力とこれらの出力を加算する全ての加算器のキャリー（桁上げ）出力とが入力されるオーバーフロー（桁あふれ）検出手段と、

前記記憶手段の出力に接続されたクリップ手段とを具備し、

前記クリップ手段は前記オーバーフロー検出手段の出力にしたがって入力された前記記憶手段の出力を正または負の一定値にクリップして出力することの特徴とするデジタルフィルタ。

【請求項 5】 互いに縦続接続が可能なデジタル回路であって、

少なくとも 1 つの前向係数器と、

少なくとも 1 つの後向係数器と、

前記後向係数器の出力と入力信号とを加算する加算手段と、

前記加算手段の出力を記憶する第 1 の記憶手段と、

前記後向係数器の出力と前段の前向係数器の出力とこれらの出力を加算する全ての加算器のキャリー（桁上げ）出力と前記第 1 の記憶手段の出力が入力されるオーバーフロー（桁あふれ）検出手段と、

前記第 1 の記憶手段の出力を記憶する第 2 の記憶手段の出力に接続されたクリップ手段とを具備し、

前記クリップ手段は前記オーバーフロー検出手段の出力にしたがって入力された前記記憶手段の出力を正または負の一定値にクリップして出力することを特徴とするデジタルフィルタ。

【請求項 6】 前記オーバーフロー検出手段は、係数器出力を論理反転する論理反転手段と、

前記論理反転手段の出力とキャリー出力の全部を加算する加算手段と、

前記加算手段の出力をデコード（符号化）するデコード手段とから構成されることを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 7】 前記オーバーフロー検出手段は、係数器出力を論理反転する論理反転手段と、

前記論理反転手段の出力とキャリー出力の全部を加算する加算手段と、

前記加算手段の出力と前記第 1 の記憶手段の出力とをデコード（符号化）するデコード手段とから構成されることを特徴とする請求項 5 に記載のデジタルフィルタ。

【請求項 8】 前記オーバーフロー検出手段は、キャリー出力を論理反転する論理反転手段と、

前記論理反転手段の出力と係数器出力の全部を加算する加算手段と、

前記加算手段の出力をデコード（符号化）するデコード手段とから構成されることを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 9】 前記オーバーフロー検出手段は、キャリー出力を論理反転する論理反転手段と、

前記論理反転手段の出力と係数器出力の全部を加算する加算手段と、

前記加算手段の出力と前記第 1 の記憶手段の出力とをデコード（符号化）するデコード手段とから構成されることを特徴とする請求項 5 に記載のデジタルフィルタ。

【請求項 1 0】 入力データが第 1 の入力端子に入力される第 1 の加算器と、
前記加算器の出力が入力される第 1 のシフトレジスタと、
前記シフトレジスタの出力が入力されるクリップ回路と、
前記クリップ回路の出力が入力される第 2 のシフトレジスタと、
前記第 2 のシフトレジスタの出力が入力される第 3 のシフトレジスタと、
前記クリップ回路の出力が入力される第 1 の係数器と、
前記第 2 のシフトレジスタの出力が入力される第 2 の係数器と、
前記クリップ回路の出力が入力される第 3 の係数器と、
前記第 2 のシフトレジスタの出力が入力される第 4 の係数器と、
前記第 3 のシフトレジスタの出力が入力される第 5 の係数器と、
前記第 1、第 2 の係数器の出力が入力され、その和出力が前記第 1 の加算器の第 2 の入力端子に入力される第 2 の加算器と、
前記第 4、第 5 の係数器の出力が入力される第 3 の加算器と、
前記第 3 の加算器の出力と前記第 3 の係数器の出力が入力され、その和出力端子から出力データが出力される第 4 の加算器と、
前記第 1、第 2 の係数器出力および第 1、第 2 の加算器のキャリー出力と前段を構成する第 3、第 4、第 5 の係数器出力および第 3、第 4 の加算器のキャリー出力とが入力されるオーバーフロー検出器とを具備し、
前記クリップ回路は前記オーバーフロー検出器の出力にしたがって入力された前記第 1 のシフトレジスタの出力を正または負の一定値に固定して出力することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 1 1】 入力データが第 1 の入力端子に入力される第 1 の加算器と、
前記加算器の出力が入力される第 1 のシフトレジスタと、
前記シフトレジスタの出力が入力されるクリップ回路と、
前記クリップ回路の出力が入力される第 2 のシフトレジスタと、
前記第 2 のシフトレジスタの出力が入力される第 3 のシフトレジスタと、

前記クリップ回路の出力が入力される第 1 の係数器と、
 前記第 2 のシフトレジスタの出力が入力される第 2 の係数器と、
 前記クリップ回路の出力が入力される第 3 の係数器と、
 前記第 2 のシフトレジスタの出力が入力される第 4 の係数器と、
 前記第 3 のシフトレジスタの出力が入力される第 5 の係数器と、
 前記第 1、第 2 の係数器の出力が入力される第 2 の加算器と、
 前記第 4、第 5 の係数器の出力が入力される第 3 の加算器と、
 前記第 3 の加算器の出力と前記第 3 の係数器の出力が入力され、その和出力端子から出力データが出力される第 4 の加算器と、
 前記第 2 の加算器の出力と制御信号が入力され、その和出力が前記第 1 の加算器の第 2 の入力端子に入力される第 5 の加算器と、
 前記第 1、第 2 の係数器出力および第 1、第 2、第 5 の加算器のキャリー出力と前段を構成する第 3、第 4、第 5 の係数器出力および第 3、第 4 の加算器のキャリー出力とが入力されるオーバーフロー検出器とを具備し、
 前記クリップ回路は前記オーバーフロー検出器の出力にしたがって入力された前記第 1 のシフトレジスタの出力を正または負の一定値に固定して出力することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 1 2】 入力データが第 1 の入力端子に入力される第 1 の加算器と、
 前記加算器の出力が入力される第 1 のシフトレジスタと、
 前記シフトレジスタの出力が入力されるクリップ回路と、
 前記クリップ回路の出力が入力される第 2 のシフトレジスタと、
 前記第 2 のシフトレジスタの出力が入力される第 3 のシフトレジスタと、
 前記クリップ回路の出力が入力される第 1 の係数器と、
 前記第 2 のシフトレジスタの出力が入力される第 2 の係数器と、
 前記クリップ回路の出力が入力される第 3 の係数器と、
 前記第 2 のシフトレジスタの出力が入力される第 4 の係数器と、
 前記第 3 のシフトレジスタの出力が入力される第 5 の係数器と、
 前記第 1、第 2 の係数器の出力が入力され、その和出力が前記第 1 の加算器の第 2 の入力端子に入力される第 2 の加算器と、

前記第 4、第 5 の係数器の出力が入力される第 3 の加算器と、

前記第 3 の加算器の出力と前記第 3 の係数器の出力が入力されその和の出力端子から出力データが出力される第 4 の加算器と、

前記第 1、第 2 の係数器出力および第 1 第 2 の加算器のキャリー出力と前段を構成する第 3、第 4、第 5 の係数器出力および第 3、第 4 の加算器のキャリー出力と前記入力データと前記第 1 のシフトレジスタの中間タップ出力が入力されるオーバーフロー検出器とを具備し、

前記クリップ回路は前記オーバーフロー検出器の出力にしたがって入力された前記第 1 のシフトレジスタの出力を正または負の一定値に固定して出力することを特徴とする請求項 5 に記載のデジタルフィルタ。

【請求項 1 3】 入力データが第 1 の入力端子に入力される第 1 の加算器と、
前記加算器の出力が入力される第 1 のシフトレジスタと、

前記シフトレジスタの出力が入力されるクリップ回路と、

前記クリップ回路の出力が入力される第 2 のシフトレジスタと、

前記第 2 のシフトレジスタの出力が入力される第 3 のシフトレジスタと、

前記クリップ回路の出力が入力される第 1 の係数器と、

前記第 2 のシフトレジスタの出力が入力される第 2 の係数器と、

前記クリップ回路の出力が入力される第 3 の係数器と、

前記第 2 のシフトレジスタの出力が入力される第 4 の係数器と、

前記第 3 のシフトレジスタの出力が入力される第 5 の係数器と、

前記第 1、第 2 の係数器の出力が入力される第 2 の加算器と、

前記第 4、第 5 の係数器の出力が入力される第 3 の加算器と、

前記第 3 の加算器の出力と前記第 3 の係数器の出力が入力され、その和出力端子から出力データが出力される第 4 の加算器と、

前記第 2 の加算器の出力と制御信号が入力され、その和出力が前記第 1 の加算器の第 2 の入力端子に入力される第 5 の加算器と、

前記第 1、第 2 の係数器出力および第 1、第 2、第 5 の加算器のキャリー出力と前段を構成する第 3、第 4、第 5 の係数器出力および第 3、第 4 の加算器のキャリー出力と前記入力データと前記第 1 のシフトレジスタの中間タップ出力が入

力されるオーバーフロー検出器とを具備し、

前記クリップ回路は前記オーバーフロー検出器の出力にしたがって入力された前記第 1 のシフトレジスタの出力を正または負の一定値に固定して出力することを特徴とする請求項 5 に記載のディジタルフィルタ。

【請求項 1 4】 前記クリップ回路は、データ入力端子と、
データ出力端子と、

オーバーフロー検出器の出力が入力される第 1、第 2 のオーバーフロー検出信号入力端子と、

タイミング信号が入力される第 1、第 2 の制御信号入力端子と、

出力信号を記憶する第 1 の記憶手段と、

内部信号を記憶する第 2 の記憶手段とを具備し、

前記第 1 制御信号入力端子に入力されるタイミング信号がハイレベル（またはローレベル）の期間に前記第 1、第 2 のオーバーフロー検出信号入力端子に入力されるオーバーフロー検出信号がオーバーフローしていないことを表すときにはデータ入力端子に入力された信号を、正のオーバーフローを表すときには 0 を、負のオーバーフローを表すときには 1 を前記第 1 の記憶手段にセットし、前記第 1 制御信号入力端子に入力されるタイミング信号がハイレベル（またはローレベル）の期間に前記オーバーフロー検出信号がオーバーフローしていないことを表すときには 0 を、正または負のオーバーフローを表すときには 1 を前記第 2 の記憶手段にセットし、前記第 2 制御信号入力端子に入力されるタイミング信号がハイレベル（またはローレベル）の期間に前記第 2 の記憶手段の内容が 1 の場合には前記第 1 の記憶手段にそれまで記憶していた値を論理反転してセットすることを特徴とする請求項 4 乃至 5 に記載のディジタルフィルタ。

【請求項 1 5】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 から第 5 の符号入力端子に入力がそれぞれ接続された第 1 から第 5 のインバータと、

前記第 1 から第 4 のキャリー入力端子および前記第 1 から第 5 のインバータの出力に inputs がそれぞれ接続された第 1 から第 3 の全加算器と、

前記第 1 から第 3 の全加算器の和出力が input される第 4 の全加算器と、

前記第 1 から第 3 の全加算器のキャリー出力が input される第 5 の全加算器と、

前記第 4 の全加算器の出力と前記第 5 の全加算器の和出力が input される第 6 の全加算器と、

前記第 6 の全加算器の出力と前記第 5 の全加算器のキャリー出力が input される第 7 の全加算器と、

前記第 4 の全加算器の和出力 ($\neg Z 0$) と前記第 6 の全加算器の和出力 ($\neg Z 1$) と前記第 7 の全加算器の和出力 ($Z 2$) およびキャリー出力 ($\neg Z 3$) とから論理式 $u = \neg Z 3 \cap (Z 2 \cup Z 1 \cup Z 0)$ と $v = Z 3 \cap (\neg Z 2 \cup \neg Z 1 \cup \neg Z 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 1 6】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1、第 2 の符号入力端子に inputs がそれぞれ接続された第 1、第 2 のインバータと、

前記第 1 から第 4 のキャリー入力端子および前記第 1、第 2 のインバータの出力に inputs がそれぞれ接続された第 1、第 2 の全加算器と、

前記第 3 から第 5 の符号入力端子に inputs が接続された第 3 の全加算器と、

前記第 3 の全加算器の和出力に inputs が接続された第 3 のインバータと、

前記第 3 の全加算器のキャリー出力に inputs が接続された第 4 のインバータと、

前記第 1、第 2 の全加算器の和出力と第 3 のインバータの出力が input される第 4 の全加算器と、

前記第 1、第 2 の全加算器のキャリー出力と第 4 のインバータの出力が input される第 5 の全加算器と、

前記第 4 の全加算器の出力と前記第 5 の全加算器の和出力が入力される第 6 の全加算器と、

前記第 6 の全加算器の出力と前記第 5 の全加算器のキャリー出力が入力される第 7 の全加算器と、

前記第 4 の全加算器の和出力 ($\neg Z 0$) と前記第 6 の全加算器の和出力 ($\neg Z 1$) と前記第 7 の全加算器の和出力 ($Z 2$) およびキャリー出力 ($\neg Z 3$) とから論理式 $u = \neg Z 3 \cap (Z 2 \cup Z 1 \cup Z 0)$ と $v = Z 3 \cap (\neg Z 2 \cup \neg Z 1 \cup \neg Z 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のディジタルフィルタ。

【請求項 1 7】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 から第 4 のキャリー入力端子に入力がそれぞれ接続された第 1 から第 4 のインバータと、

前記第 1 から第 5 の符号入力端子および前記第 1 から第 4 のインバータの出力に入力がそれぞれ接続された第 1 から第 3 の全加算器と、

前記第 1 から第 3 の全加算器の和出力が入力される第 4 の全加算器と、

前記第 1 から第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力が入力される第 1 の半加算器と、

前記第 1 の半加算器のキャリー出力と前記第 5 の全加算器のキャリー出力が入力される第 2 の半加算器と、

数値 4 (二進数 0 1 0 0) から前記第 4 の全加算の和出力 ($S 0$) と第 1 の半加算器の和出力 ($S 1$) と第 2 の半加算器の和出力 ($S 2$) およびキャリー出力 ($S 3$) をそれぞれ第 0 から第 3 ビットとする二進数を引き算して 4 ビットの減算結果 ($Z 3$ 、 $Z 2$ 、 $Z 1$ 、 $Z 0$) を出力する減算手段と、

前記減算手段の出力から論理式 $u = \neg Z 3 \cap (Z 2 \cup Z 1 \cup Z 0)$ と $v = Z 3$

$\cap (\neg Z_2 \cup \neg Z_1 \cup \neg Z_0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 1 8】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 4 のキャリー入力端子に入力が接続された第 1 のインバータと、

前記第 1 から第 3 のキャリー入力端子に入力が接続された第 1 の全加算器と、
前記第 1 から第 5 の符号入力端子および前記第 4 のインバータの出力に入力がそれぞれ接続された第 2、第 3 の全加算器と、

前記第 1 の全加算器の和出力に入力が接続された第 2 のインバータと、

前記第 1 の全加算器のキャリー出力に入力が接続された第 3 のインバータと、

前記第 2 のインバータの出力および前記第 2、第 3 の全加算器の和出力が入力される第 4 の全加算器と、

前記第 3 のインバータの出力および前記第 2、第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力が入力される第 1 の半加算器と、

前記第 1 の半加算器のキャリー出力と前記第 5 の全加算器のキャリー出力が入力される第 2 の半加算器と、

数値 4（二進数 0 1 0 0）から前記第 4 の全加算の和出力（S 0）と第 1 の半加算器の和出力（S 1）と第 2 の半加算器の和出力（S 2）およびキャリー出力（S 3）をそれぞれ第 0 から第 3 ビットとする二進数を引き算して 4 ビットの減算結果（Z 3、Z 2、Z 1、Z 0）を出力する減算手段と、

前記減算手段の出力から論理式 $u = \neg Z_3 \cap (Z_2 \cup Z_1 \cup Z_0)$ と $v = Z_3 \cap (\neg Z_2 \cup \neg Z_1 \cup \neg Z_0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 1 9】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 から第 5 の符号入力端子に入力がそれぞれ接続された第 1 から第 5 のインバータと、

前記第 1 から第 4 のキャリー入力端子および前記第 1 から 5 のインバータの出力に入力がそれぞれ接続された第 1 から第 3 の全加算器と、

前記第 1 から第 3 の全加算器の和出力が入力される第 4 の全加算器と、

前記第 1 から第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力が入力される第 1 の半加算器と、

前記第 1 の半加算器のキャリー出力と前記第 5 の全加算器のキャリー出力が入力される第 2 の半加算器と、

前記第 1 の半加算器の和出力 (S 1) と前記第 2 の半加算器の和出力 (S 2) およびキャリー出力 (S 3) とから論理式 $u = S 3 \cup (S 2 \cap S 1)$ と $v = \neg S 3 \cap \neg S 2$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 2 0】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1、第 2 の符号入力端子に入力がそれぞれ接続された第 1、第 2 のインバータと、

前記第 1 から第 4 のキャリー入力端子および前記第 1、第 2 のインバータの出力に入力がそれぞれ接続された第 1、第 2 の全加算器と、

前記第 3 から第 5 の符号入力端子に入力が接続された第 3 の全加算器と、

前記第 3 の全加算器の和出力に入力が接続された第 3 のインバータと、

前記第 3 の全加算器のキャリー出力に inputs が接続された第 4 のインバータと、
前記第 1、第 2 の全加算器の和出力と第 3 のインバータの出力が inputs される第 4 の全加算器と、

前記第 1、第 2 の全加算器のキャリー出力と第 4 のインバータの出力が inputs される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力が inputs される第 1 の半加算器と、

前記第 1 の半加算器のキャリー出力と前記第 5 の全加算器のキャリー出力が inputs される第 2 の半加算器と、

前記第 1 の半加算器の和出力 (S 1) と前記第 2 の半加算器の和出力 (S 2) およびキャリー出力 (S 3) とから論理式 $u = S 3 \cup (S 2 \cap S 1)$ と $v = \neg S 3 \cap \neg S 2$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 2 1】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 から第 4 のキャリー入力端子に inputs がそれぞれ接続された第 1 から第 4 のインバータと、

前記第 1 から第 5 の符号入力端子および前記第 1 から第 4 のインバータの出力に inputs がそれぞれ接続された第 1 から第 3 の全加算器と、

前記第 1 から第 3 の全加算器の和出力が inputs される第 4 の全加算器と、

前記第 1 から第 3 の全加算器のキャリー出力が inputs される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力が inputs される第 1 の半加算器と、

前記第 1 の半加算器のキャリー出力と前記第 5 の全加算器のキャリー出力が inputs される第 2 の半加算器と、

前記第 1 の半加算器の和出力 (S 1) と前記第 2 の半加算器の和出力 (S 2)

およびキャリー出力（ S_3 ）とから論理式 $u = \neg S_3 \cap \neg S_2$ と $v = S_3 \cup (S_2 \cap S_1)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 2 2】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 4 のキャリー入力端子に入力が接続された第 1 のインバータと、

前記 1 から第 3 のキャリー入力端子に入力が接続された第 1 の全加算器と、

前記第 1 から第 5 の符号入力端子および前記第 1 のインバータの出力に入力がそれぞれ接続された第 2、第 3 の全加算器と、

前記第 1 の全加算器の和出力に入力が接続された第 2 のインバータと、

前記第 1 の全加算器のキャリー出力に入力が接続された第 3 のインバータと、

前記第 2 のインバータの出力および前記第 2、第 3 の全加算器の和出力が入力される第 4 の全加算器と、

前記第 3 のインバータの出力および前記第 2、第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力が入力される第 1 の半加算器と、

前記第 1 の半加算器のキャリー出力と前記第 5 の全加算器のキャリー出力が入力される第 2 の半加算器と、

前記第 1 の半加算器の和出力（ S_1 ）と前記第 2 の半加算器の和出力（ S_2 ）およびキャリー出力（ S_3 ）とから論理式 $u = \neg S_3 \cap \neg S_2$ と $v = S_3 \cup (S_2 \cap S_1)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 2 3】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 から第 5 の符号入力端子に入力がそれぞれ接続された第 1 から第 5 のインバータと、

前記第 1 から第 4 のキャリー入力端子および前記第 1 から第 5 のインバータの出力に入力がそれぞれ接続された第 1 から第 3 の全加算器と、

前記第 1 から第 3 の全加算器の和出力が入力される第 4 の全加算器と、

前記第 1 から第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力 (P 1 A) と前記第 5 の全加算器の和出力 (P 1 B) およびキャリー出力 (P 2) とから論理式 $u = P 2 \cap (P 1 A \cup P 1 B)$ と $v = \neg P 2 \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 2 4】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と第 1、第 2 のオーバーフロー検出信号出力端子と前記第 1、第 2 の符号入力端子に入力がそれぞれ接続された第 1、第 2 のインバータと、

前記第 1 から第 4 のキャリー入力端子および前記第 1、第 2 のインバータの出力に入力がそれぞれ接続された第 1、第 2 の全加算器と、

前記第 3 から第 5 の符号入力端子に入力が接続された第 3 の全加算器と、

前記第 3 の全加算器の和出力に入力が接続された第 3 のインバータと、

前記第 3 の全加算器のキャリー出力に入力が接続された第 4 のインバータと、

前記第 1、第 2 の全加算器の和出力と第 3 のインバータの出力が入力される第 4 の全加算器と、

前記第 1、第 2 の全加算器のキャリー出力と第 4 のインバータの出力が入力される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力 (P 1 A) と前記第 5 の全加算器の和出力

(P 1 B) およびキャリー出力 (P 2) とから論理式 $u = P 2 \cap (P 1 A \cup P 1 B)$ と $v = \neg P 2 \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 2 5】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 から第 4 のキャリー入力端子に入力がそれぞれ接続された第 1 から第 4 のインバータと、

前記第 1 から第 5 の符号入力端子および前記第 1 から第 4 のインバータの出力に入力がそれぞれ接続された第 1 から第 3 の全加算器と、

前記第 1 から第 3 の全加算器の和出力が入力される第 4 の全加算器と、

前記第 1 から第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力 (P 1 A) と前記第 5 の全加算器の和出力 (P 1 B) およびキャリー出力 (P 2) とから論理式 $u = \neg P 2 \cap (\neg P 1 A \cup \neg P 1 B)$ と $v = P 2 \cap (P 1 A \cup P 1 B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1 第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 2 6】 オーバーフロー検出器は、第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 4 のキャリー入力端子に入力が接続された第 1 のインバータと、

前記第 1 から第 3 のキャリー入力端子に入力が接続された第 1 の全加算器と、

前記第 1 から第 5 の符号入力端子および前記第 1 のインバータの出力に入力がそれぞれ接続された第 2、第 3 の全加算器と、

前記第 1 の全加算器の和出力に inputs が接続された第 2 のインバータと、
 前記第 1 の全加算器のキャリー出力に inputs が接続された第 3 のインバータと、
 前記第 2 のインバータの出力および前記第 2、第 3 の全加算器の和出力が inputs
 される第 4 の全加算器と、

前記第 3 のインバータの出力および前記第 2、第 3 の全加算器のキャリー出力
 が inputs される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力 (P 1 A) と前記第 5 の全加算器の和出力
 (P 1 B) およびキャリー出力 (P 2) とから論理式 $u = \neg P 2 \cap (\neg P 1 A \cup$
 $\neg P 1 B)$ と $v = P 2 \cap (P 1 A \cup P 1 B)$ とにしたがってオーバーフロー検出
 信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子か
 ら出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタル
 フィルタ。

【請求項 2 7】 オーバーフロー検出器は、第 1、第 2 のキャリー入力端子
 と、

第 1 から第 3 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 から第 3 の符号入力端子に inputs がそれぞれ接続された第 1 から第 3 の
 インバータと、

前記第 1、第 2 のキャリー入力端子および前記第 1 から第 3 のインバータの出
 力に inputs がそれぞれ接続された半加算器および第 1 の全加算器と、

前記半加算器の和出力と前記第 1 の全加算器の和出力とが inputs されるアンドゲ
 ートと、

前記アンドゲートの出力と前記半加算器のキャリー出力と前記第 1 の全加算器
 のキャリー出力とが inputs されそのキャリー出力が前記第 1 のオーバーフロー検出
 信号出力端子に接続される第 2 の全加算器と、

前記第 2 の全加算器の和およびキャリー出力とが inputs されその出力が前記第 2
 のオーバーフロー検出信号出力端子に接続されるノアゲートとを具備することを
 特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 2 8】 オーバーフロー検出器は、第 1、第 2 のキャリー入力端子

と、

第 1 から第 3 の符号入力端子と、

前記第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1、第 2 のキャリー入力端子に入力がそれぞれ接続された半加算器と、

前記第 1 から第 3 の符号入力端子に入力がそれぞれ接続された第 1 の全加算器と、

前記第 1 の全加算器の和出力に入力が接続された第 1 のインバータと、

前記第 1 の全加算器のキャリー出力に入力が接続された第 2 のインバータと、

前記半加算器の和出力と前記第 1 のインバータの出力とが入力されるアンドゲートと、

前記アンドゲートの出力と前記半加算器のキャリー出力と前記第 2 のインバータの出力とが入力されそのキャリー出力が前記第 1 のオーバーフロー検出信号出力端子に接続される第 2 の全加算器と、

前記第 2 の全加算器の和およびキャリー出力とが入力されその出力が前記第 2 のオーバーフロー検出信号出力端子に接続されるノアゲートとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 2 9】 オーバーフロー検出器は、第 1、第 2 のキャリー入力端子と、

第 1 から第 3 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1、第 2 のキャリー入力端子に入力がそれぞれ接続された第 1、第 2 のインバータと、

前記第 1、第 2 のインバータの出力および前記第 1 から第 3 の符号入力端子に入力がそれぞれ接続された半加算器および第 1 の全加算器と、

前記半加算器の和出力と前記第 1 の全加算器の和出力とが入力されるアンドゲートと、

前記アンドゲートの出力と前記半加算器のキャリー出力と前記第 1 の全加算器のキャリー出力とが入力されそのキャリー出力が前記第 2 のオーバーフロー検出信号出力端子に接続される第 2 の全加算器と、

前記第 2 の全加算器の和およびキャリー出力とが入力されその出力が前記第 1 のオーバーフロー検出信号出力端子に接続されるノアゲートとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 3 0】 オーバーフロー検出器は、第 1 から第 3 のキャリー入力端子と、

第 1 から第 4 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 から第 4 の符号入力端子に入力がそれぞれ接続された第 1 から第 4 のインバータと、

前記第 1 から第 3 のキャリー入力端子および前記第 1 から 4 のインバータの出力のうち 6 つの端子に入力がそれぞれ接続された第 1、第 2 の全加算器と、

前記第 1 から第 3 のキャリー入力端子および前記第 1 から第 4 のインバータの出力のうち前記第 1、第 2 の全加算器のどちらにも接続されていない 1 つの端子と、前記第 1、第 2 の全加算器の和出力とに入力が接続される第 3 の全加算器と、前記第 1、第 2、第 3 の全加算器のキャリー出力が入力される第 4 の全加算器と、

前記第 3 の全加算器の和出力 (S 0) と前記第 4 の全加算器の和出力 (S 1) およびキャリー出力 (S 2) とから論理式 $u = S 2 \cap (S 1 \cup S 0)$ と $v = \neg S 2 \cap (\neg S 1 \cup \neg S 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 3 1】 オーバーフロー検出器は、第 1 から第 3 のキャリー入力端子と、

第 1 から第 4 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 の符号入力端子に入力が接続された第 1 のインバータと、

前記第 1 から第 3 のキャリー入力端子に入力がそれぞれ接続された第 1 の全加算器と、

前記第 2 から第 4 の符号入力端子に入力がそれぞれ接続された第 2 の全加算器

と、

前記第 2 の全加算器の和出力に inputs が接続された第 2 のインバータと、

前記第 2 の全加算器のキャリー出力に inputs が接続された第 3 のインバータと、

前記第 1 の全加算器の和出力と前記第 1、第 2 のインバータの出力が inputs される第 3 の全加算器と、

前記第 1 ないし第 3 の全加算器のキャリー出力と前記第 3 のインバータの出力が inputs される第 4 の全加算器と、

前記第 3 の全加算器の和出力 (S 0) と前記第 4 の全加算器の和出力 (S 1) およびキャリー出力 (S 2) とから論理式 $u = S 2 \cap (S 1 \cup S 0)$ と $v = \neg S 2 \cap (\neg S 1 \cup \neg S 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 3 2】 オーバーフロー検出器は、第 1 から第 3 のキャリー入力端子と、

第 1 から第 4 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 から第 3 のキャリー入力端子に inputs がそれぞれ接続された第 1 から第 3 のインバータと、

前記第 1 から第 3 のインバータの出力および前記第 1 から第 4 の符号入力端子のうち 6 つの端子に inputs がそれぞれ接続された第 1、第 2 の全加算器と、

前記第 1 から第 3 のインバータの出力および前記第 1 から第 4 の符号入力端子のうち前記第 1、第 2 の全加算器のどちらにも接続されていない 1 つの端子と前記第 1、第 2 の全加算器の和出力とに inputs が接続される第 3 の全加算器と、

前記第 1、第 2、第 3 の全加算器のキャリー出力が inputs される第 4 の全加算器と、

前記第 3 の全加算器の和出力 (S 0) と前記第 4 の全加算器の和出力 (S 1) およびキャリー出力 (S 2) とから論理式 $u = \neg S 2 \cap (\neg S 1 \cup \neg S 0)$ と $v = S 2 \cap (S 1 \cup S 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダ

とを具備することを特徴とする請求項4に記載のデジタルフィルタ。

【請求項33】 オーバーフロー検出器は、第1から第3のキャリー入力端子と、

第1から第4の符号入力端子と、

第1、第2のオーバーフロー検出信号出力端子と、

前記第1から第3のキャリー入力端子に入力がそれぞれ接続された第1の全加算器と、

前記第2から第4の符号入力端子に入力がそれぞれ接続された第2の全加算器と、

前記第1の全加算器の和出力に入力が接続された第1のインバータと、

前記第1の全加算器のキャリー出力に入力が接続された第2のインバータと、

前記第2の全加算器の和出力と前記第1の符号入力端子と前記第1のインバータの出力が入力に接続される第3の全加算器と、

前記第2、第3の全加算器のキャリー出力と前記第2のインバータの出力が入力される第4の全加算器と、

前記第3の全加算器の和出力（S0）と前記第4の全加算器の和出力（S1）およびキャリー出力（S2）とから論理式 $u = \neg S2 \cap (\neg S1 \cup \neg S0)$ と $v = S2 \cap (S1 \cup S0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第1、第2のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項4に記載のデジタルフィルタ。

【請求項34】 オーバーフロー検出器は、第1から第5のキャリー入力端子と、

第1から第5の符号入力端子と、

第1、第2のオーバーフロー検出信号出力端子と、

前記第1から第5の符号入力端子に入力がそれぞれ接続された第1から第5のインバータと、

前記第2から第4のキャリー入力端子および前記第1から第5のインバータの出力に入力がそれぞれ接続された第1から第3の全加算器と、

前記第1から第3の全加算器の和出力が入力される第4の全加算器と、

前記第 1 から第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、
前記第 1 のキャリー入力端子と前記第 4 の全加算器の和出力とが入力に接続されたアンドゲートと、

前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力とが入力される半加算器と、

前記アンドゲートの出力 (P 1 A) と前記半加算器の和出力 (P 1 B) およびキャリー出力 (P 2 A) と前記第 5 の全加算器のキャリー出力 (P 2 B) とから論理式 $u = (P 2 B \cap P 2 A) \cup [(P 1 A \cup P 1 B)]$ と $v = \neg P 2 B \cap \neg P 2 A \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 3 5】 オーバーフロー検出器は、第 1 から第 5 のキャリー入力端子と、

第 1 から第 5 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1、第 2 の符号入力端子に入力がそれぞれ接続された第 1、第 2 のインバータと、

前記第 2 から第 4 のキャリー入力端子および前記第 1、第 2 のインバータの出力に入力がそれぞれ接続された第 1 第 2 の全加算器と、

前記第 3 から第 5 の符号入力端子に入力が接続された第 3 の全加算器と、

前記第 3 の全加算器の和出力に入力が接続された第 3 のインバータと、

前記第 3 の全加算器のキャリー出力に入力が接続された第 4 のインバータと、

前記第 1、第 2 の全加算器の和出力と第 3 のインバータの出力が入力される第 4 の全加算器と、

前記第 1、第 2 の全加算器のキャリー出力と第 4 のインバータの出力が入力される第 5 の全加算器と、

前記第 1 のキャリー入力端子と前記第 4 の全加算器の和出力とが入力に接続されたアンドゲートと、

前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力とが入力さ

れる半加算器と、

前記アンドゲートの出力 (P 1 A) と前記半加算器の和出力 (P 1 B) および
キャリー出力 (P 2 A) と前記第 5 の全加算器のキャリー出力 (P 2 B) とから
論理式 $u = (P 2 B \cap P 2 A) \cup [(P 1 A \cup P 1 B)]$ と $v = \neg P 2 B \cap \neg P$
 $2 A \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってオーバーフロー検出信号を生成し
てそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデ
コーダとを具備することを特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 3 6】 オーバーフロー検出器は、第 1 から第 3 のキャリー入力端
子と、

第 1 から第 3 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 から第 3 の符号入力端子に入力がそれぞれ接続された第 1 から第 3 の
インバータと、

前記第 1 から第 3 のキャリー入力端子および前記第 1 から第 3 のインバータの
出力に入力がそれぞれ接続された第 1、第 2 の全加算器と、

前記第 1 の全加算器の和出力と前記第 2 の全加算器の和出力とが入力されるア
ンドゲートと、

前記アンドゲートの出力と前記第 1、第 2 の全加算器のキャリー出力とが入力
され、そのキャリー出力が前記第 1 のオーバーフロー検出信号出力端子に接続さ
れる第 3 の全加算器と、

前記第 3 の全加算器の和およびキャリー出力とが入力されその出力が前記第 2
のオーバーフロー検出信号出力端子に接続されるノアゲートとを具備することを
特徴とする請求項 4 に記載のデジタルフィルタ。

【請求項 3 7】 オーバーフロー検出器は第 1 から 3 のキャリー入力端子と
、第 1 から第 3 の符号入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1 から第 3 のキャリー入力端子に入力がそれぞれ接続された第 1 の全加
算器と、

前記第 1 から第 3 の符号入力端子に入力がそれぞれ接続された第 2 の全加算器

と、

前記第2の全加算器の和出力に inputs が接続された第1のインバータと、

前記第2の全加算器のキャリー出力に inputs が接続された第2のインバータと、

前記第1の全加算器の和出力と前記第1のインバータの出力とが inputs される
ANDゲートと、

前記ANDゲートの出力と前記第1の全加算器のキャリー出力と前記第2のイン
バータの出力が inputs され、そのキャリー出力が前記第1のオーバーフロー検出
信号出力端子に接続される第3の全加算器と、

前記第3の全加算器の和およびキャリー出力とが inputs され、その出力が前記第
2のオーバーフロー検出信号出力端子に接続されるノアゲートとを具備すること
を特徴とする請求項4に記載のデジタルフィルタ。

【請求項38】 オーバーフロー検出器は、第1から第4のキャリー入力端
子と、

第1から第4の符号入力端子と、

第1、第2のオーバーフロー検出信号出力端子と、

前記第1から第4のキャリー入力端子に inputs がそれぞれ接続された第1から第
4のインバータと、

前記第1から第4の符号入力端子および前記第1から第4のインバータの出力
に inputs がそれぞれ接続された第1、第2の全加算器および半加算器と、

前記第1、第2の全加算器の和出力と前記半加算器の和出力が inputs される第4
の全加算器と、

前記第1、第2の全加算器のキャリー出力と前記半加算器のキャリー出力が in
puts される第5の全加算器と、

前記第4の全加算器のキャリー出力 (P1A) と前記第5の全加算器の和出力
(P1B) およびキャリー出力 (P2) とから論理式 $u = \neg P2 \cap (\neg P1A \cup \neg P1B)$ と $v = P2 \cap (P1A \cup P1B)$ とにしたがってオーバーフロー検出
信号を生成してそれぞれを前記第1、第2のオーバーフロー検出信号出力端子か
ら出力するデコーダとを具備することを特徴とする請求項4に記載のデジタル
フィルタ。

【請求項39】 オーバーフロー検出器は、第1から第4のキャリー入力端子と、

第1から第4の符号入力端子と、

第1、第2のオーバーフロー検出信号出力端子と、

前記第4のキャリー入力端子に入力が接続された第1のインバータと、

前記第1から第3のキャリー入力端子に入力がそれぞれ接続された第1の全加算器と、

前記第1から第3の符号入力端子に入力がそれぞれ接続された第2の全加算器と、

前記第1のインバータ出力と前記第4の符号入力端子が入力に接続された半加算器と、

前記第1の全加算器の和出力に入力が接続された第2のインバータと、

前記第1の全加算器のキャリー出力に入力が接続された第3のインバータと、

前記第2のインバータの出力と前記第2の全加算器の和出力と前記半加算器の和出力が入力される第4の全加算器と、

前記第3のインバータの出力と前記第2の全加算器のキャリー出力と前記半加算器のキャリー出力が入力される第5の全加算器と、

前記第4の全加算器のキャリー出力(P1A)と前記第5の全加算器の和出力(P1B)およびキャリー出力(P2)とから論理式 $u = \neg P2 \cap (\neg P1A \cup \neg P1B)$ と $v = P2 \cap (P1A \cup P1B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第1、第2のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする請求項4に記載のデジタルフィルタ。

【請求項40】 オーバーフロー検出器は、複数のキャリー入力端子と、複数の符号入力端子と、

第1、第2のデータビット入力端子と、

第1、第2のオーバーフロー検出信号出力端子とを具備し、

前記複数のキャリー入力端子と符号入力端子に入力される信号から検出されたオーバーフロー信号がオーバーフローを示している場合にはこれを出し、オー

バーフローを示していない場合には前記第 1、第 2 のデータビット入力端子に入力される第 1、第 2 のデータビット (k、1) にしたがって第 1 データビットが 0 で第 2 データビットが 1 ($k=0$ 、 $1=1$) のときに正のオーバーフローに、第 1 データビットが 1 で第 2 データビットが 0 ($k=1$ 、 $1=0$) のときに負のオーバーフローに相当する検出信号を出力することを特徴とする請求項 5 に記載のデジタルフィルタ。

【請求項 4 1】 オーバーフロー検出器は、第 1、第 2 のデータビット入力端子と、

第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号化入力端子と、

前記第 1 から第 5 の符号入力端子に入力がそれぞれ接続された第 1 から第 5 のインバータと、

前記第 1 から第 4 のキャリー入力端子および前記第 1 から第 5 のインバータの出力に入力がそれぞれ接続された第 1 から第 3 の全加算器と、

前記第 1 から第 3 の全加算器の和出力が入力される第 4 の全加算器と、

前記第 1 から第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力 ($P1A$) と前記第 5 の全加算器の和出力 ($P1B$) およびキャリー出力 ($P2$) とから論理式 $u = P2 \cap (P1A \cup P1B)$ と $v = \neg P2 \cap (\neg P1A \cup \neg P1B)$ とにしたがってその第 1、第 2 の出力を生成するデコーダと、

前記第 1 のデータビット入力端子に入力が接続された第 6 のインバータと、

前記第 2 のデータビット入力端子に入力が接続された第 7 のインバータと、

前記デコーダの第 1 の出力が入力される第 8 のインバータと、

前記デコーダの第 2 の出力が入力される第 9 のインバータと、

前記第 6 のインバータの出力と第 2 のデータビット入力端子と第 9 のインバータの出力に入力が接続された第 1 のアンドゲートと、

前記第 7 のインバータの出力と第 1 のデータビット入力端子と第 8 のインバータの出力に入力が接続された第 2 のアンドゲートと、

前記第 1 のアンドゲートの出力とデコーダの第 1 の出力が入力され、正のオー

バーフロー検出信号を出力する第 1 のオアゲートと、

前記第 2 のアンドゲートの出力とデコーダの第 2 の出力が入力され、負のオーバーフロー検出信号を出力する第 2 のオアゲートとを具備することを特徴とする請求項 5 に記載のディジタルフィルタ。

【請求項 4 2】 オーバーフロー検出器は、第 1、第 2 のデータビット入力端子と、

第 1 から第 4 のキャリー入力端子と、

第 1 から第 5 の符号化入力端子と、

前記第 1、第 2 の符号入力端子に入力がそれぞれ接続された第 1、第 2 のインバータと、

前記第 1 から第 4 のキャリー入力端子および前記第 1、第 2 のインバータの出力に入力がそれぞれ接続された第 1、第 2 の全加算器と、

前記第 3 から第 5 の符号入力端子に入力が接続された第 3 の全加算器と、

前記第 3 の全加算器の和出力に入力が接続された第 3 のインバータと、

前記第 3 の全加算器のキャリー出力に入力が接続された第 4 のインバータと、

前記第 1、第 2 の全加算器の和出力と第 3 のインバータの出力が入力される第 4 の全加算器と、

前記第 1、第 2 の全加算器のキャリー出力と第 4 のインバータの出力が入力される第 5 の全加算器と、

前記第 4 の全加算器のキャリー出力 (P 1 A) と前記第 5 の全加算器の和出力 (P 1 B) およびキャリー出力 (P 2) とから論理式 $u = P 2 \cap (P 1 A \cup P 1 B)$ と $v = \neg P 2 \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってその第 1、第 2 の出力を生成するデコーダと、

前記第 1 のデータビット入力端子に入力が接続された第 5 のインバータと、

前記第 2 のデータビット入力端子に入力が接続された第 6 のインバータと、

前記デコーダの第 1 の出力が入力される第 7 のインバータと、

前記デコーダの第 2 の出力が入力される第 8 のインバータと、

前記第 5 のインバータの出力と第 2 のデータビット入力端子と第 8 のインバータの出力に入力が接続された第 1 のアンドゲートと、

前記第 6 のインバータの出力と第 1 のデータビット入力端子と第 7 のインバータの出力に入力が接続された第 2 のアンドゲートと、

前記第 1 のアンドゲートの出力とデコーダの第 1 の出力が入力され正のオーバーフロー検出信号を出力する第 1 のオアゲートと、

前記第 2 のアンドゲートの出力とデコーダの第 2 の出力が入力され負のオーバーフロー検出信号を出力する第 2 のオアゲートとを具備することを特徴とする請求項 5 に記載のディジタルフィルタ。

【請求項 4 3】 オーバーフロー検出器は、第 1、第 2 のデータビット入力端子と、

第 1 から第 5 のキャリー入力端子と、

第 1 から第 5 の符号化入力端子と、

前記第 1 から第 5 の符号入力端子に入力がそれぞれ接続された第 1 から第 5 のインバータと、

前記第 2 から第 4 のキャリー入力端子および前記第 1 から第 5 のインバータの出力に入力がそれぞれ接続された第 1 から第 3 の全加算器と、

前記第 1 から第 3 の全加算器の和出力が入力される第 4 の全加算器と、

前記第 1 から第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、

前記第 1 のキャリー入力端子と前記第 4 の全加算器の和出力とが入力に接続された第 1 のアンドゲートと、

前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力とが入力される半加算器と、

前記第 1 のアンドゲートの出力 (P 1 A) と前記半加算器の和出力 (P 1 B) およびキャリー出力 (P 2 A) と前記第 5 の全加算器のキャリー出力 (P 2 B) とから論理式 $u = (P 2 B \cap P 2 A) \cup [(P 2 B \cup P 2 A) \cap (P 1 A \cup P 1 B)]$ と $v = \neg P 2 B \cap \neg P 2 A \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってその第 1、第 2 の出力を生成するデコーダと、

前記第 1 のデータビット入力端子に入力が接続された第 6 のインバータと、

前記第 2 のデータビット入力端子に入力が接続された第 7 のインバータと、

前記デコーダの第 1 の出力が入力される第 8 のインバータと、

前記デコーダの第 2 の出力が入力される第 9 のインバータと、

前記第 6 のインバータの出力と第 2 のデータビット入力端子と第 9 のインバータの出力に入力が接続された第 1 のアンドゲートと、

前記第 7 のインバータの出力と第 1 のデータビット入力端子と第 8 のインバータの出力に入力が接続された第 3 のアンドゲートと、

前記第 3 のアンドゲートの出力とデコーダの第 1 の出力が入力され正のオーバーフロー検出信号を出力する第 1 のオアゲートと、

前記第 3 のアンドゲートの出力とデコーダの第 2 の出力が入力され負のオーバーフロー検出信号を出力する第 2 のオアゲートとを具備することを特徴とする請求項 5 に記載のデジタルフィルタ。

【請求項 4 4】 オーバーフロー検出器は、第 1、第 2 のデータビット入力端子と、

第 1 から第 5 のキャリー入力端子と、

第 1 から第 5 の符号化入力端子と、

第 1、第 2 のオーバーフロー検出信号出力端子と、

前記第 1、第 2 の符号入力端子に入力がそれぞれ接続された第 1、第 2 のインバータと、

前記第 2 から第 4 のキャリー入力端子および前記第 1、第 2 のインバータの出力に入力がそれぞれ接続された第 1、第 2 の全加算器と、

前記第 3 から第 5 の符号入力端子に入力された第 3 の全加算器と、

前記第 3 の全加算器の和出力に入力が接続された第 3 のインバータと、

前記第 3 の全加算器のキャリー出力に入力が接続された第 4 のインバータと、

前記第 1、第 2 の全加算器の和出力と第 3 のインバータの出力が入力されると第 4 の全加算器と、

前記第 1、第 2 の全加算器のキャリー出力と第 4 のインバータの出力が入力される第 5 の全加算器と、

前記第 1 のキャリー入力端子と前記第 4 の全加算器の和出力とが入力に接続された第 1 のアンドゲートと、

前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力とが入力さ

れる半加算器と、

前記第 1 のアンドゲートの出力 (P 1 A) と前記半加算器の和出力 (P 1 B) およびキャリー出力 (P 2 A) と前記第 5 の全加算器のキャリー出力 (P 2 B) とから論理式 $u = (P 2 B \cap P 2 A) \cup [(P 2 B \cup P 2 A) \cap (P 1 A \cup P 1 B)]$ と $v = \neg P 2 B \cap \neg P 2 A \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってその第 1、第 2 の出力を生成するデコーダと、

前記第 1 のデータビット入力端子に入力が接続された第 5 のインバータと、

前記第 2 のデータビット入力端子に入力が接続された第 6 のインバータと、

前記デコーダの第 1 の出力が入力される第 7 のインバータと、

前記デコーダの第 2 の出力が入力される第 8 のインバータと、

前記第 5 のインバータの出力と第 2 のデータビット入力端子と第 8 のインバータの出力に入力が接続された第 2 のアンドゲートと、

前記第 6 のインバータの出力と第 1 のデータビット入力端子と第 7 のインバータの出力に入力が接続された第 3 のアンドゲートと、

前記第 2 のアンドゲートの出力とデコーダの第 1 の出力が入力され正のオーバーフロー検出信号を出力する第 1 のオアゲートと、

前記第 3 のアンドゲートの出力とデコーダの第 2 の出力が入力され負のオーバーフロー検出信号を出力する第 2 のオアゲートとを具備することを特徴とする請求項 5 に記載のデジタルフィルタ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、デジタルフィルタに係り、特にバイカッド (b i - q u a d) フィルタにおけるオーバーフロー振動の防止技術に関する。

【 0 0 0 2 】

【従来の技術】

近年、デジタルフィルタは、オーバーサンプリング方式の A/D (アナログ/デジタル) コンバータの普及に伴って、盛んに電子機器に採用されるようになった。なかでも、係数感度が低く、安定度の高いバイカッド (b i - q u a d

）フィルタは、多く用いられている。

【0003】

オーバーサンプリング方式のA/Dコンバータは、アナログ入力信号の最高周波数成分よりもはるかに高いサンプリングレートでこれを変換し、デジタル出力を後段に置かれたデジタルローパスフィルタに通して、高い周波数のノイズ（雑音）成分を減衰させ、変換ノイズを低減する。特に、 $\Delta\Sigma$ 方式のものは、ノイズシェーピングと呼ばれる変換ノイズの周波数特性を持ち、ノイズのパワースペクトルが高域に偏るため、1ビットのデジタル信号に変換しても、オーバーサンプリングによって、14ビット程度の精度を確保できる。したがって、LSI（大規模集積回路）チップ上の全回路面積に対して、アナログ回路の占める割合を小さくでき、アナログ回路自体の構成も簡単にできるため、携帯電話などに採用されている。

【0004】

このような電子機器は、基本機能のほかにも操作性や多機能性を重視した設計がなされる傾向にあり、ひとつのLSI上に占めるデジタルフィルタの回路面積も小さいほうが望ましい。こうした回路面積削減の要求に対して、直列演算方式は、非常に優れた面積効率を提供する。

【0005】

ただし、この方式には、オーバーフロー（桁あふれ）が検出しにくく、検出後の対策が困難であるという欠点がある。直列演算方式では、LSB（最下位ビット）からMSB（最上位ビット）に向かって、演算が1ビットずつ進行する。オーバーフローは、演算の結果、定められたビット長を超えたデータが発生する現象であり、MSBが処理されてはじめて検出が可能になるので、検出された時点で、データは演算器から外部へと既に出力されてしまっている。

【0006】

図34（a）と（b）は、デジタルバイカッドフィルタでオーバーフローが発生した場合の入力信号と出力信号である。

【0007】

アナログ回路の応答とは異なり、過大入力に対して、出力が激しく振動してい

る。この現象をオーバーフロー振動と言う。

【0008】

オーバーフロー振動は、デジタル信号が2の補数表現されていることに原因がある。例えば、-4から+3までの数を2の補数表現を用いて2進数で表示すると、下のようになる。

【0009】

+3	: 011
+2	: 010
+1	: 001
0	: 000
-1	: 111
-2	: 110
-3	: 101
-4	: 100

コロン (: 記号) の左が10進数、右が2進数である。+3の1つ上は+4 (0100) であるが、桁が3ビットしかないとき、下側の3ビットしか表現できないため、+3 (011) から1増加するごとに、-4 (100)、-3 (101)、-2 (110) と変化する。また、-4の1つ下は-5 (1011) であるが、同様に桁数が限られていると、下側の3ビットしか表現できないため、-4から1減少するごとに+3 (011)、+2 (010)、+1 (001) のように変化する。

【0010】

上記の理由から、オーバーフローが生じた場合と、オーバーフローから正常値に復帰した場合に、デジタルフィルタ内部の演算器出力は、正の最大値付近と負の最大値付近とを行き来するようになり、図34 (b) で見られるような、振動的波形が出力される。

【0011】

図29は、従来のオーバーフロー振動を防止した直列演算型デジタルバイカッドフィルタ (破線内) である。

【0012】

図29において、1aと1dは1ビットレジスタ、1b、1c、1e、1fは複数ビットのシフトレジスタ、2は係数器、3は加算器、4はエクスクルーシブノアゲート（一致回路）、5はセレクタ、6はアンドゲートである。セレクタ5には、例えば図26に示すものが用いられる。図29では、セレクタの制御信号は省略してある。

【0013】

バイカッドは、多段に縦続接続して用いられることが多いため、図29には、前後の段のバイカッド回路の一部も示してある。シフトレジスタ1e、1fは、係数器2の遅延を補償するために挿入されているので、係数器の遅延が1演算サイクル以下であれば、不要である。

【0014】

この従来例は、文献IEEE Journal of Solid-State Circuits, vol. SC-23, no3, p.838, Fig.4.に見られるものと同様のオーバーフロー振動防止回路すなわちエクスクルーシブノア（オア）ゲート4とアンドゲート6を有し、オーバーフローが検出されると、シフトレジスタに蓄えられた内部記憶を0にクランプしている。

【0015】

この動作は、エクスクルーシブノアゲート4、セレクタ5、1ビットレジスタ1d、アンドゲート6によって実行される。MSBとその下のビットが一致しているかどうかをエクスクルーシブノアゲート4が検出したタイミングでセレクタ5からその結果を1dに出力し、次の演算サイクルで結果を1dにラッチ（記憶）する。検出結果が1（一致）ならば正常、0（不一致）ならばオーバーフローである。正常動作時には、アンドゲート6からシフトレジスタ1bまたは1cの出力がそのまま出力されるが、オーバーフロー時には、アンドゲート6の出力は0になる。図35（a）と（b）は、図29の従来例でオーバーフローが発生した場合の入力信号と出力信号である。この図35から、オーバーフロー振動がまだ残っていることと、オーバーフロー限界付近の入力に対しては、スパイク状のノイズが多量に発生していることが分かる。

【0016】

【発明が解決しようとする課題】

従来例には、次のような2つの欠点がある。

【0017】

第1の欠点は、エクスクルーシブノア（オア）ゲートでは、2ビット以上の複数ビットに互るオーバーフローが検出できない点である（図36（b）の大きな段差部分）。図29の回路では、演算の1サイクルのあいだに、前段のバイカッドでの加算も含めると4回の加算が行われている。仮に乗算でオーバーフローしなかったとしても、最大3ビットのオーバーフローが発生する可能性がある。

【0018】

第2の欠点は、オーバーフロー振動の発生が完全には防止できないことである（図36（b）の細かいスパイク状の波形部分）。オーバーフローが検出されたときには、すでにオーバーフローしたデータが出力されてしまっている。また、内部記憶を0にクランプしているので、正常動作とオーバーフロー防止動作とを繰り返すような場合、波形に段差が発生し、これがノイズとなる。

【0019】

本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、2ビット以上の複数ビットに互るオーバーフローを検出できると共に、オーバーフロー振動の発生を完全に防止することができるデジタルフィルタを提供することである。

【0020】

【課題を解決するための手段】

上記目的を達成するために、本発明の特徴は、デジタルフィルタにおいて、演算に際して定められたビット長を超えたデータが発生するオーバーフローを全てのビットに互って検出するオーバーフロー検出手段と、前記オーバーフロー検出手段により正のオーバーフローが検出された場合は出力値を正の最大値に固定し、負のオーバーフローが検出された場合は出力値を負の絶対値の最大値に固定するクリップ手段とを具備することにある。

【0021】

本発明の他の特徴は、前記オーバーフロー検出手段によるオーバーフローの検出レベルを1ビット下げることにある。

【0022】

本発明の他の特徴は、前記出力値を四捨五入する丸め手段を具備することにある。

【0023】

本発明の他の特徴は、互いに縦続接続が可能なデジタル回路であって、少なくとも1つの前向係数器と、少なくとも1つの後向係数器と、前記後向係数器の出力と入力信号とを加算する加算手段と、前記加算手段の出力を記憶する記憶手段と、前記後向係数器の出力と前段の前向係数器の出力とこれらの出力を加算する全ての加算器のキャリー（桁上げ）出力とが入力されるオーバーフロー（桁あふれ）検出手段と、前記記憶手段の出力に接続されたクリップ手段とを具備し、前記クリップ手段は前記オーバーフロー検出手段の出力にしたがって入力された前記記憶手段の出力を正または負の一定値にクリップして出力することにある。

【0024】

本発明の他の特徴は、互いに縦続接続が可能なデジタル回路であって、少なくとも1つの前向係数器と、少なくとも1つの後向係数器と、前記後向係数器の出力と入力信号とを加算する加算手段と、前記加算手段の出力を記憶する第1の記憶手段と、前記後向係数器の出力と前段の前向係数器の出力とこれらの出力を加算する全ての加算器のキャリー（桁上げ）出力と前記第1の記憶手段の出力が入力されるオーバーフロー（桁あふれ）検出手段と、前記第1の記憶手段の出力を記憶する第2の記憶手段の出力に接続されたクリップ手段とを具備し、前記クリップ手段は前記オーバーフロー検出手段の出力にしたがって入力された前記記憶手段の出力を正または負の一定値にクリップして出力することにある。

【0025】

本発明の他の特徴は、係数器出力を論理反転する論理反転手段と、前記論理反転手段の出力とキャリー出力の全部を加算する加算手段と、前記加算手段の出力をデコード（符号化）するデコード手段とから構成されることを特徴とする。

【0026】

本発明の他の特徴は、係数器出力を論理反転する論理反転手段と、前記論理反転手段の出力とキャリー出力の全部を加算する加算手段と、前記加算手段の出力と前記第 1 の記憶手段の出力とをデコード（符号化）するデコード手段とから構成されることを特徴とする。

【 0 0 2 7 】

本発明の他の特徴は、キャリー出力を論理反転する論理反転手段と、前記論理反転手段の出力と係数器出力の全部を加算する加算手段と、前記加算手段の出力をデコード（符号化）するデコード手段とから構成されることを特徴とする。

【 0 0 2 8 】

本発明の他の特徴は、キャリー出力を論理反転する論理反転手段と、前記論理反転手段の出力と係数器出力の全部を加算する加算手段と、前記加算手段の出力と前記第 1 の記憶手段の出力とをデコード（符号化）するデコード手段とから構成されることを特徴とする。

【 0 0 2 9 】

本発明の他の特徴は、入力データが第 1 の入力端子に入力される第 1 の加算器と、前記加算器の出力が入力される第 1 のシフトレジスタと、前記シフトレジスタの出力が入力されるクリップ回路と、前記クリップ回路の出力が入力される第 2 のシフトレジスタと、前記第 2 のシフトレジスタの出力が入力される第 3 のシフトレジスタと、前記クリップ回路の出力が入力される第 1 の係数器と、前記第 2 のシフトレジスタの出力が入力される第 2 の係数器と、前記クリップ回路の出力が入力される第 3 の係数器と、前記第 2 のシフトレジスタの出力が入力される第 4 の係数器と、前記第 3 のシフトレジスタの出力が入力される第 5 の係数器と、前記第 1、第 2 の係数器の出力が入力され、その和出力が前記第 1 の加算器の第 2 の入力端子に入力される第 2 の加算器と、前記第 4、第 5 の係数器の出力が入力される第 3 の加算器と、前記第 3 の加算器の出力と前記第 3 の係数器の出力が入力され、その和出力端子から出力データが出力される第 4 の加算器と、前記第 1、第 2 の係数器出力および第 1、第 2 の加算器のキャリー出力と前段を構成する第 3、第 4、第 5 の係数器出力および第 3、第 4 の加算器のキャリー出力とが入力されるオーバーフロー検出器とを具備し、前記クリップ回路は前記オーバ

オーバーフロー検出器の出力にしたがって入力された前記第 1 のシフトレジスタの出力を正または負の一定値に固定して出力することにある。

【 0 0 3 0 】

本発明の他の特徴は、入力データが第 1 の入力端子に入力される第 1 の加算器と、前記加算器の出力が入力される第 1 のシフトレジスタと、前記シフトレジスタの出力が入力されるクリップ回路と、前記クリップ回路の出力が入力される第 2 のシフトレジスタと、前記第 2 のシフトレジスタの出力が入力される第 3 のシフトレジスタと、前記クリップ回路の出力が入力される第 1 の係数器と、前記第 2 のシフトレジスタの出力が入力される第 2 の係数器と、前記クリップ回路の出力が入力される第 3 の係数器と、前記第 2 のシフトレジスタの出力が入力される第 4 の係数器と、前記第 3 のシフトレジスタの出力が入力される第 5 の係数器と、前記第 1、第 2 の係数器の出力が入力される第 2 の加算器と、前記第 4、第 5 の係数器の出力が入力される第 3 の加算器と、前記第 3 の加算器の出力と前記第 3 の係数器の出力が入力され、その和出力端子から出力データが出力される第 4 の加算器と、前記第 2 の加算器の出力と制御信号が入力され、その和出力が前記第 1 の加算器の第 2 の入力端子に入力される第 5 の加算器と、前記第 1、第 2 の係数器出力および第 1、第 2、第 5 の加算器のキャリー出力と前段を構成する第 3、第 4、第 5 の係数器出力および第 3、第 4 の加算器のキャリー出力とが入力されるオーバーフロー検出器とを具備し、前記クリップ回路は前記オーバーフロー検出器の出力にしたがって入力された前記第 1 のシフトレジスタの出力を正または負の一定値に固定して出力することにある。

【 0 0 3 1 】

本発明の他の特徴は、入力データが第 1 の入力端子に入力される第 1 の加算器と、前記加算器の出力が入力される第 1 のシフトレジスタと、前記シフトレジスタの出力が入力されるクリップ回路と、前記クリップ回路の出力が入力される第 2 のシフトレジスタと、前記第 2 のシフトレジスタの出力が入力される第 3 のシフトレジスタと、前記クリップ回路の出力が入力される第 1 の係数器と、前記第 2 のシフトレジスタの出力が入力される第 2 の係数器と、前記クリップ回路の出力が入力される第 3 の係数器と、前記第 2 のシフトレジスタの出力が入力される

第 4 の係数器と、前記第 3 のシフトレジスタの出力が入力される第 5 の係数器と、前記第 1、第 2 の係数器の出力が入力され、その和出力が前記第 1 の加算器の第 2 の入力端子に入力される第 2 の加算器と、前記第 4、第 5 の係数器の出力が入力される第 3 の加算器と、前記第 3 の加算器の出力と前記第 3 の係数器の出力が入力されその和の出力端子から出力データが出力される第 4 の加算器と、前記第 1、第 2 の係数器出力および第 1 第 2 の加算器のキャリー出力と前段を構成する第 3、第 4、第 5 の係数器出力および第 3、第 4 の加算器のキャリー出力と前記入力データと前記第 1 のシフトレジスタの中間タップ出力が入力されるオーバーフロー検出器とを具備し、前記クリップ回路は前記オーバーフロー検出器の出力にしたがって入力された前記第 1 のシフトレジスタの出力を正または負の一定値に固定して出力することにある。

【 0 0 3 2 】

本発明の他の特徴は、入力データが第 1 の入力端子に入力される第 1 の加算器と、前記加算器の出力が入力される第 1 のシフトレジスタと、前記シフトレジスタの出力が入力されるクリップ回路と、前記クリップ回路の出力が入力される第 2 のシフトレジスタと、前記第 2 のシフトレジスタの出力が入力される第 3 のシフトレジスタと、前記クリップ回路の出力が入力される第 1 の係数器と、前記第 2 のシフトレジスタの出力が入力される第 2 の係数器と、前記クリップ回路の出力が入力される第 3 の係数器と、前記第 2 のシフトレジスタの出力が入力される第 4 の係数器と、前記第 3 のシフトレジスタの出力が入力される第 5 の係数器と、前記第 1、第 2 の係数器の出力が入力される第 2 の加算器と、前記第 4、第 5 の係数器の出力が入力される第 3 の加算器と、前記第 3 の加算器の出力と前記第 3 の係数器の出力が入力され、その和出力端子から出力データが出力される第 4 の加算器と、前記第 2 の加算器の出力と制御信号が入力され、その和出力が前記第 1 の加算器の第 2 の入力端子に入力される第 5 の加算器と、前記第 1、第 2 の係数器出力および第 1、第 2、第 5 の加算器のキャリー出力と前段を構成する第 3、第 4、第 5 の係数器出力および第 3、第 4 の加算器のキャリー出力と前記入力データと前記第 1 のシフトレジスタの中間タップ出力が入力されるオーバーフロー検出器とを具備し、前記クリップ回路は前記オーバーフロー検出器の出力に

したがって入力された前記第1のシフトレジスタの出力を正または負の一定値に固定して出力することにある。

【0033】

本発明の他の特徴は、データ入力端子と、データ出力端子と、オーバーフロー検出器の出力が入力される第1、第2のオーバーフロー検出信号入力端子と、タイミング信号が入力される第1、第2の制御信号入力端子と、出力信号を記憶する第1の記憶手段と、内部信号を記憶する第2の記憶手段とを具備し、前記第1制御信号入力端子に入力されるタイミング信号がハイレベル（またはローレベル）の期間に前記第1、第2のオーバーフロー検出信号入力端子に入力されるオーバーフロー検出信号がオーバーフローしていないことを表すときにはデータ入力端子に入力された信号を、正のオーバーフローを表すときには0を、負のオーバーフローを表すときには1を前記第1の記憶手段にセットし、前記第1制御信号入力端子に入力されるタイミング信号がハイレベル（またはローレベル）の期間に前記オーバーフロー検出信号がオーバーフローしていないことを表すときには0を、正または負のオーバーフローを表すときには1を前記第2の記憶手段にセットし、前記第2制御信号入力端子に入力されるタイミング信号がハイレベル（またはローレベル）の期間に前記第2の記憶手段の内容が1の場合には前記第1の記憶手段にそれまで記憶していた値を論理反転してセットすることを特徴とする。

【0034】

本発明の他の特徴は、第1から第4のキャリー入力端子と、第1から第5の符号入力端子と、第1、第2のオーバーフロー検出信号出力端子と、前記第1から第5の符号入力端子に入力がそれぞれ接続された第1から第5のインバータと、前記第1から第4のキャリー入力端子および前記第1から第5のインバータの出力が入力がそれぞれ接続された第1から第3の全加算器と、前記第1から第3の全加算器の和出力が入力される第4の全加算器と、前記第1から第3の全加算器のキャリー出力が入力される第5の全加算器と、前記第4の全加算器の出力と前記第5の全加算器の和出力が入力される第6の全加算器と、前記第6の全加算器の出力と前記第5の全加算器のキャリー出力が入力される第7の全加算器と、前

記第 4 の全加算器の和出力 ($\neg Z 0$) と前記第 6 の全加算器の和出力 ($\neg Z 1$) と前記第 7 の全加算器の和出力 ($Z 2$) およびキャリー出力 ($\neg Z 3$) とから論理式 $u = \neg Z 3 \cap (Z 2 \cup Z 1 \cup Z 0)$ と $v = Z 3 \cap (\neg Z 2 \cup \neg Z 1 \cup \neg Z 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 3 5 】

本発明の他の特徴は、第 1 から第 4 のキャリー入力端子と、第 1 から第 5 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1、第 2 の符号入力端子に入力がそれぞれ接続された第 1、第 2 のインバータと、前記第 1 から第 4 のキャリー入力端子および前記第 1、第 2 のインバータの出力に入力がそれぞれ接続された第 1、第 2 の全加算器と、前記第 3 から第 5 の符号入力端子に入力が接続された第 3 の全加算器と、前記第 3 の全加算器の和出力に入力が接続された第 3 のインバータと、前記第 3 の全加算器のキャリー出力に入力が接続された第 4 のインバータと、前記第 1、第 2 の全加算器の和出力と第 3 のインバータの出力が入力される第 4 の全加算器と、前記第 1、第 2 の全加算器のキャリー出力と第 4 のインバータの出力が入力される第 5 の全加算器と、前記第 4 の全加算器の出力と前記第 5 の全加算器の和出力が入力される第 6 の全加算器と、前記第 6 の全加算器の出力と前記第 5 の全加算器のキャリー出力が入力される第 7 の全加算器と、前記第 4 の全加算器の和出力 ($\neg Z 0$) と前記第 6 の全加算器の和出力 ($\neg Z 1$) と前記第 7 の全加算器の和出力 ($Z 2$) およびキャリー出力 ($\neg Z 3$) とから論理式 $u = \neg Z 3 \cap (Z 2 \cup Z 1 \cup Z 0)$ と $v = Z 3 \cap (\neg Z 2 \cup \neg Z 1 \cup \neg Z 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 3 6 】

本発明の他の特徴は、第 1 から第 4 のキャリー入力端子と、第 1 から第 5 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 から第 4 のキャリー入力端子に入力がそれぞれ接続された第 1 から第 4 のインバータ

と、前記第 1 から第 5 の符号入力端子および前記第 1 から第 4 のインバータの出力に inputs がそれぞれ接続された第 1 から第 3 の全加算器と、前記第 1 から第 3 の全加算器の和出力が inputs される第 4 の全加算器と、前記第 1 から第 3 の全加算器のキャリー出力が inputs される第 5 の全加算器と、前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力が inputs される第 1 の半加算器と、前記第 1 の半加算器のキャリー出力と前記第 5 の全加算器のキャリー出力が inputs される第 2 の半加算器と、数値 4 (二進数 0 1 0 0) から前記第 4 の全加算の和出力 (S 0) と第 1 の半加算器の和出力 (S 1) と第 2 の半加算器の和出力 (S 2) およびキャリー出力 (S 3) をそれぞれ第 0 から第 3 ビットとする二進数を引き算して 4 ビットの減算結果 (Z 3、Z 2、Z 1、Z 0) を出力する減算手段と、前記減算手段の出力から論理式 $u = \neg Z 3 \cap (Z 2 \cup Z 1 \cup Z 0)$ と $v = Z 3 \cap (\neg Z 2 \cup \neg Z 1 \cup \neg Z 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 3 7 】

本発明の他の特徴は、第 1 から第 4 のキャリー入力端子と、第 1 から第 5 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 4 のキャリー入力端子に inputs が接続された第 1 のインバータと、前記第 1 から第 3 のキャリー入力端子に inputs が接続された第 1 の全加算器と、前記第 1 から第 5 の符号入力端子および前記第 4 のインバータの出力に inputs がそれぞれ接続された第 2、第 3 の全加算器と、前記第 1 の全加算器の和出力に inputs が接続された第 2 のインバータと、前記第 1 の全加算器のキャリー出力に inputs が接続された第 3 のインバータと、前記第 2 のインバータの出力および前記第 2、第 3 の全加算器の和出力が inputs される第 4 の全加算器と、前記第 3 のインバータの出力および前記第 2、第 3 の全加算器のキャリー出力が inputs される第 5 の全加算器と、前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力が inputs される第 1 の半加算器と、前記第 1 の半加算器のキャリー出力と前記第 5 の全加算器のキャリー出力が inputs される第 2 の半加算器と、数値 4 (二進数 0 1 0 0) から前記第 4 の全加算の和出力 (S 0) と第 1 の半加算器の和出力 (S 1) と第 2 の半加算器の和出力

(S2) およびキャリー出力 (S3) をそれぞれ第0から第3ビットとする二進数を引き算して4ビットの減算結果 (Z3、Z2、Z1、Z0) を出力する減算手段と、前記減算手段の出力から論理式 $u = \neg Z3 \cap (Z2 \cup Z1 \cup Z0)$ と $v = Z3 \cap (\neg Z2 \cup \neg Z1 \cup \neg Z0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第1、第2のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【0038】

本発明の他の特徴は、第1から第4のキャリー入力端子と、第1から第5の符号入力端子と、第1、第2のオーバーフロー検出信号出力端子と、前記第1から第5の符号入力端子に入力がそれぞれ接続された第1から第5のインバータと、前記第1から第4のキャリー入力端子および前記第1から5のインバータの出力に入力がそれぞれ接続された第1から第3の全加算器と、前記第1から第3の全加算器の和出力が入力される第4の全加算器と、前記第1から第3の全加算器のキャリー出力が入力される第5の全加算器と、前記第4の全加算器のキャリー出力と前記第5の全加算器の和出力が入力される第1の半加算器と、前記第1の半加算器のキャリー出力と前記第5の全加算器のキャリー出力が入力される第2の半加算器と、前記第1の半加算器の和出力 (S1) と前記第2の半加算器の和出力 (S2) およびキャリー出力 (S3) とから論理式 $u = S3 \cup (S2 \cap S1)$ と $v = \neg S3 \cap \neg S2$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第1、第2のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【0039】

本発明の他の特徴は、第1から第4のキャリー入力端子と、第1から第5の符号入力端子と、第1、第2のオーバーフロー検出信号出力端子と、前記第1、第2の符号入力端子に入力がそれぞれ接続された第1、第2のインバータと、前記第1から第4のキャリー入力端子および前記第1、第2のインバータの出力に入力がそれぞれ接続された第1、第2の全加算器と、前記第3から第5の符号入力端子に入力が接続された第3の全加算器と、前記第3の全加算器の和出力に入力が接続された第3のインバータと、前記第3の全加算器のキャリー出力に入力が

接続された第4のインバータと、前記第1、第2の全加算器の和出力と第3のインバータの出力が入力される第4の全加算器と、前記第1、第2の全加算器のキャリー出力と第4のインバータの出力が入力される第5の全加算器と、前記第4の全加算器のキャリー出力と前記第5の全加算器の和出力が入力される第1の半加算器と、前記第1の半加算器のキャリー出力と前記第5の全加算器のキャリー出力が入力される第2の半加算器と、前記第1の半加算器の和出力（S1）と前記第2の半加算器の和出力（S2）およびキャリー出力（S3）とから論理式 $u = S3 \cup (S2 \cap S1)$ と $v = \neg S3 \cap \neg S2$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第1、第2のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【0040】

本発明の他の特徴は、第1から第4のキャリー入力端子と、第1から第5の符号入力端子と、第1、第2のオーバーフロー検出信号出力端子と、前記第1から第4のキャリー入力端子に入力がそれぞれ接続された第1から第4のインバータと、前記第1から第5の符号入力端子および前記第1から第4のインバータの出力が入力がそれぞれ接続された第1から第3の全加算器と、前記第1から第3の全加算器の和出力が入力される第4の全加算器と、前記第1から第3の全加算器のキャリー出力が入力される第5の全加算器と、前記第4の全加算器のキャリー出力と前記第5の全加算器の和出力が入力される第1の半加算器と、前記第1の半加算器のキャリー出力と前記第5の全加算器のキャリー出力が入力される第2の半加算器と、前記第1の半加算器の和出力（S1）と前記第2の半加算器の和出力（S2）およびキャリー出力（S3）とから論理式 $u = \neg S3 \cap \neg S2$ と $v = S3 \cup (S2 \cap S1)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第1、第2のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【0041】

本発明の他の特徴は、第1から第4のキャリー入力端子と、第1から第5の符号入力端子と、第1、第2のオーバーフロー検出信号出力端子と、前記第4のキャリー入力端子に入力が接続された第1のインバータと、前記1から第3のキャ

リー入力端子に入力が接続された第 1 の全加算器と、前記第 1 から第 5 の符号入力端子および前記第 1 のインバータの出力に入力がそれぞれ接続された第 2、第 3 の全加算器と、前記第 1 の全加算器の和出力に入力が接続された第 2 のインバータと、前記第 1 の全加算器のキャリー出力に入力が接続された第 3 のインバータと、前記第 2 のインバータの出力および前記第 2、第 3 の全加算器の和出力が入力される第 4 の全加算器と、前記第 3 のインバータの出力および前記第 2、第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力が入力される第 1 の半加算器と、前記第 1 の半加算器のキャリー出力と前記第 5 の全加算器のキャリー出力が入力される第 2 の半加算器と、前記第 1 の半加算器の和出力 (S 1) と前記第 2 の半加算器の和出力 (S 2) およびキャリー出力 (S 3) とから論理式 $u = \neg S 3 \cap \neg S 2$ と $v = S 3 \cup (S 2 \cap S 1)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 4 2 】

本発明の他の特徴は、第 1 から第 4 のキャリー入力端子と、第 1 から第 5 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 から第 5 の符号入力端子に入力がそれぞれ接続された第 1 から第 5 のインバータと、前記第 1 から第 4 のキャリー入力端子および前記第 1 から第 5 のインバータの出力に入力がそれぞれ接続された第 1 から第 3 の全加算器と、前記第 1 から第 3 の全加算器の和出力が入力される第 4 の全加算器と、前記第 1 から第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、前記第 4 の全加算器のキャリー出力 (P 1 A) と前記第 5 の全加算器の和出力 (P 1 B) およびキャリー出力 (P 2) とから論理式 $u = P 2 \cap (P 1 A \cup P 1 B)$ と $v = \neg P 2 \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 4 3 】

本発明の他の特徴は、第 1 から第 4 のキャリー入力端子と、第 1 から第 5 の符

号入力端子と第 1、第 2 のオーバーフロー検出信号出力端子と前記第 1、第 2 の符号入力端子に入力がそれぞれ接続された第 1、第 2 のインバータと、前記第 1 から第 4 のキャリー入力端子および前記第 1、第 2 のインバータの出力に入力がそれぞれ接続された第 1、第 2 の全加算器と、前記第 3 から第 5 の符号入力端子に入力が接続された第 3 の全加算器と、前記第 3 の全加算器の和出力に入力が接続された第 3 のインバータと、前記第 3 の全加算器のキャリー出力に入力が接続された第 4 のインバータと、前記第 1、第 2 の全加算器の和出力と第 3 のインバータの出力が入力される第 4 の全加算器と、前記第 1、第 2 の全加算器のキャリー出力と第 4 のインバータの出力が入力される第 5 の全加算器と、前記第 4 の全加算器のキャリー出力 (P 1 A) と前記第 5 の全加算器の和出力 (P 1 B) およびキャリー出力 (P 2) とから論理式 $u = P 2 \cap (P 1 A \cup P 1 B)$ と $v = \neg P 2 \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 4 4 】

本発明の他の特徴は、第 1 から第 4 のキャリー入力端子と、第 1 から第 5 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 から第 4 のキャリー入力端子に入力がそれぞれ接続された第 1 から第 4 のインバータと、前記第 1 から第 5 の符号入力端子および前記第 1 から第 4 のインバータの出力に入力がそれぞれ接続された第 1 から第 3 の全加算器と、前記第 1 から第 3 の全加算器の和出力が入力される第 4 の全加算器と、前記第 1 から第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、前記第 4 の全加算器のキャリー出力 (P 1 A) と前記第 5 の全加算器の和出力 (P 1 B) およびキャリー出力 (P 2) とから論理式 $u = \neg P 2 \cap (\neg P 1 A \cup \neg P 1 B)$ と $v = P 2 \cap (P 1 A \cup P 1 B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1 第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 4 5 】

本発明の他の特徴は、第 1 から第 4 のキャリー入力端子と、第 1 から第 5 の符

号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 4 のキャリー入力端子に入力が接続された第 1 のインバータと、前記第 1 から第 3 のキャリー入力端子に入力が接続された第 1 の全加算器と、前記第 1 から第 5 の符号入力端子および前記第 1 のインバータの出力に入力がそれぞれ接続された第 2、第 3 の全加算器と、前記第 1 の全加算器の和出力に入力が接続された第 2 のインバータと、前記第 1 の全加算器のキャリー出力に入力が接続された第 3 のインバータと、前記第 2 のインバータの出力および前記第 2、第 3 の全加算器の和出力が入力される第 4 の全加算器と、前記第 3 のインバータの出力および前記第 2、第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、前記第 4 の全加算器のキャリー出力 (P 1 A) と前記第 5 の全加算器の和出力 (P 1 B) およびキャリー出力 (P 2) とから論理式 $u = \neg P 2 \cap (\neg P 1 A \cup \neg P 1 B)$ と $v = P 2 \cap (P 1 A \cup P 1 B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 4 6 】

本発明の他の特徴は、第 1、第 2 のキャリー入力端子と、第 1 から第 3 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 から第 3 の符号入力端子に入力がそれぞれ接続された第 1 から第 3 のインバータと、前記第 1、第 2 のキャリー入力端子および前記第 1 から第 3 のインバータの出力に入力がそれぞれ接続された半加算器および第 1 の全加算器と、前記半加算器の和出力と前記第 1 の全加算器の和出力とが入力されるアンドゲートと、前記アンドゲートの出力と前記半加算器のキャリー出力と前記第 1 の全加算器のキャリー出力とが入力されそのキャリー出力が前記第 1 のオーバーフロー検出信号出力端子に接続される第 2 の全加算器と、前記第 2 の全加算器の和およびキャリー出力とが入力されその出力が前記第 2 のオーバーフロー検出信号出力端子に接続されるノアゲートとを具備することを特徴とする。

【 0 0 4 7 】

本発明の他の特徴は、第 1、第 2 のキャリー入力端子と、第 1 から第 3 の符号入力端子と、前記第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1、

第 2 のキャリー入力端子に入力がそれぞれ接続された半加算器と、前記第 1 から第 3 の符号入力端子に入力がそれぞれ接続された第 1 の全加算器と、前記第 1 の全加算器の和出力に入力が接続された第 1 のインバータと、前記第 1 の全加算器のキャリー出力に入力が接続された第 2 のインバータと、前記半加算器の和出力と前記第 1 のインバータの出力とが入力されるアンドゲートと、前記アンドゲートの出力と前記半加算器のキャリー出力と前記第 2 のインバータの出力とが入力されそのキャリー出力が前記第 1 のオーバーフロー検出信号出力端子に接続される第 2 の全加算器と、前記第 2 の全加算器の和およびキャリー出力とが入力されその出力が前記第 2 のオーバーフロー検出信号出力端子に接続されるノアゲートとを具備することを特徴とする。

【 0 0 4 8 】

本発明の他の特徴は、第 1、第 2 のキャリー入力端子と、第 1 から第 3 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1、第 2 のキャリー入力端子に入力がそれぞれ接続された第 1、第 2 のインバータと、前記第 1、第 2 のインバータの出力および前記第 1 から第 3 の符号入力端子に入力がそれぞれ接続された半加算器および第 1 の全加算器と、前記半加算器の和出力と前記第 1 の全加算器の和出力とが入力されるアンドゲートと、前記アンドゲートの出力と前記半加算器のキャリー出力と前記第 1 の全加算器のキャリー出力とが入力されそのキャリー出力が前記第 2 のオーバーフロー検出信号出力端子に接続される第 2 の全加算器と、前記第 2 の全加算器の和およびキャリー出力とが入力されその出力が前記第 1 のオーバーフロー検出信号出力端子に接続されるノアゲートとを具備することを特徴とする。

【 0 0 4 9 】

本発明の他の特徴は、第 1 から第 3 のキャリー入力端子と、第 1 から第 4 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 から第 4 の符号入力端子に入力がそれぞれ接続された第 1 から第 4 のインバータと、前記第 1 から第 3 のキャリー入力端子および前記第 1 から第 4 のインバータの出力のうち 6 つの端子に入力がそれぞれ接続された第 1、第 2 の全加算器と、前記第 1 から第 3 のキャリー入力端子および前記第 1 から第 4 のインバータの出力のう

ち前記第 1、第 2 の全加算器のどちらにも接続されていない 1 つの端子と、前記第 1、第 2 の全加算器の和出力とに inputs が接続される第 3 の全加算器と、前記第 1、第 2、第 3 の全加算器のキャリー出力が inputs される第 4 の全加算器と、前記第 3 の全加算器の和出力 (S 0) と前記第 4 の全加算器の和出力 (S 1) およびキャリー出力 (S 2) とから論理式 $u = S 2 \cap (S 1 \cup S 0)$ と $v = \neg S 2 \cap (\neg S 1 \cup \neg S 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 5 0 】

本発明の他の特徴は、第 1 から第 3 のキャリー入力端子と、第 1 から第 4 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 の符号入力端子に inputs が接続された第 1 のインバータと、前記第 1 から第 3 のキャリー入力端子に inputs がそれぞれ接続された第 1 の全加算器と、前記第 2 から第 4 の符号入力端子に inputs がそれぞれ接続された第 2 の全加算器と、前記第 2 の全加算器の和出力に inputs が接続された第 2 のインバータと、前記第 2 の全加算器のキャリー出力に inputs が接続された第 3 のインバータと、前記第 1 の全加算器の和出力と前記第 1、第 2 のインバータの出力が inputs される第 3 の全加算器と、前記第 1 ないし第 3 の全加算器のキャリー出力と前記第 3 のインバータの出力が inputs される第 4 の全加算器と、前記第 3 の全加算器の和出力 (S 0) と前記第 4 の全加算器の和出力 (S 1) およびキャリー出力 (S 2) とから論理式 $u = S 2 \cap (S 1 \cup S 0)$ と $v = \neg S 2 \cap (\neg S 1 \cup \neg S 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 5 1 】

本発明の他の特徴は、第 1 から第 3 のキャリー入力端子と、第 1 から第 4 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 から第 3 のキャリー入力端子に inputs がそれぞれ接続された第 1 から第 3 のインバータと、前記第 1 から第 3 のインバータの出力および前記第 1 から第 4 の符号入力端子のうち 6 つの端子に inputs がそれぞれ接続された第 1、第 2 の全加算器と、前記

第 1 から第 3 のインバータの出力および前記第 1 から第 4 の符号入力端子のうち前記第 1、第 2 の全加算器のどちらにも接続されていない 1 つの端子と前記第 1、第 2 の全加算器の和出力とに inputs が接続される第 3 の全加算器と、前記第 1、第 2、第 3 の全加算器のキャリー出力が inputs される第 4 の全加算器と、前記第 3 の全加算器の和出力 (S 0) と前記第 4 の全加算器の和出力 (S 1) およびキャリー出力 (S 2) とから論理式 $u = \neg S 2 \cap (\neg S 1 \cup \neg S 0)$ と $v = S 2 \cap (S 1 \cup S 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 5 2 】

本発明の他の特徴は、第 1 から第 3 のキャリー入力端子と、第 1 から第 4 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 から第 3 のキャリー入力端子に inputs がそれぞれ接続された第 1 の全加算器と、前記第 2 から第 4 の符号入力端子に inputs がそれぞれ接続された第 2 の全加算器と、前記第 1 の全加算器の和出力に inputs が接続された第 1 のインバータと、前記第 1 の全加算器のキャリー出力に inputs が接続された第 2 のインバータと、前記第 2 の全加算器の和出力と前記第 1 の符号入力端子と前記第 1 のインバータの出力が inputs に接続される第 3 の全加算器と、前記第 2、第 3 の全加算器のキャリー出力と前記第 2 のインバータの出力が inputs される第 4 の全加算器と、前記第 3 の全加算器の和出力 (S 0) と前記第 4 の全加算器の和出力 (S 1) およびキャリー出力 (S 2) とから論理式 $u = \neg S 2 \cap (\neg S 1 \cup \neg S 0)$ と $v = S 2 \cap (S 1 \cup S 0)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 5 3 】

本発明の他の特徴は、第 1 から第 5 のキャリー入力端子と、第 1 から第 5 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 から第 5 の符号入力端子に inputs がそれぞれ接続された第 1 から第 5 のインバータと、前記第 2 から第 4 のキャリー入力端子および前記第 1 から第 5 のインバータの出

力に inputs がそれぞれ接続された第 1 から第 3 の全加算器と、前記第 1 から第 3 の全加算器の和出力が input される第 4 の全加算器と、前記第 1 から第 3 の全加算器のキャリー出力が input される第 5 の全加算器と、前記第 1 のキャリー入力端子と前記第 4 の全加算器の和出力とが input に接続されたアンドゲートと、前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力とが input される半加算器と、前記アンドゲートの出力 (P 1 A) と前記半加算器の和出力 (P 1 B) およびキャリー出力 (P 2 A) と前記第 5 の全加算器のキャリー出力 (P 2 B) とから論理式 $u = (P 2 B \cap P 2 A) \cup [(P 1 A \cup P 1 B)]$ と $v = \neg P 2 B \cap \neg P 2 A \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 5 4 】

本発明の他の特徴は、第 1 から第 5 のキャリー入力端子と、第 1 から第 5 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1、第 2 の符号入力端子に inputs がそれぞれ接続された第 1、第 2 のインバータと、前記第 2 から第 4 のキャリー入力端子および前記第 1、第 2 のインバータの出力に inputs がそれぞれ接続された第 1 第 2 の全加算器と、前記第 3 から第 5 の符号入力端子に inputs が接続された第 3 の全加算器と、前記第 3 の全加算器の和出力に inputs が接続された第 3 のインバータと、前記第 3 の全加算器のキャリー出力に inputs が接続された第 4 のインバータと、前記第 1、第 2 の全加算器の和出力と第 3 のインバータの出力が input される第 4 の全加算器と、前記第 1、第 2 の全加算器のキャリー出力と第 4 のインバータの出力が input される第 5 の全加算器と、前記第 1 のキャリー入力端子と前記第 4 の全加算器の和出力とが input に接続されたアンドゲートと、前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力とが input される半加算器と、前記アンドゲートの出力 (P 1 A) と前記半加算器の和出力 (P 1 B) およびキャリー出力 (P 2 A) と前記第 5 の全加算器のキャリー出力 (P 2 B) とから論理式 $u = (P 2 B \cap P 2 A) \cup [(P 1 A \cup P 1 B)]$ と $v = \neg P 2 B \cap \neg P 2 A \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第 1、第 2 のオーバーフロー検出信号出

力端子から出力するデコーダとを具備することを特徴とする。

【 0 0 5 5 】

本発明の他の特徴は、第 1 から第 3 のキャリー入力端子と、第 1 から第 3 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 から第 3 の符号入力端子に入力がそれぞれ接続された第 1 から第 3 のインバータと、前記第 1 から第 3 のキャリー入力端子および前記第 1 から第 3 のインバータの出力に入力がそれぞれ接続された第 1、第 2 の全加算器と、前記第 1 の全加算器の和出力と前記第 2 の全加算器の和出力とが入力されるアンドゲートと、前記アンドゲートの出力と前記第 1、第 2 の全加算器のキャリー出力とが入力され、そのキャリー出力が前記第 1 のオーバーフロー検出信号出力端子に接続される第 3 の全加算器と、前記第 3 の全加算器の和およびキャリー出力とが入力されその出力が前記第 2 のオーバーフロー検出信号出力端子に接続されるノアゲートとを具備することを特徴とする。

【 0 0 5 6 】

本発明の他の特徴は、第 1 から 3 のキャリー入力端子と第 1 から第 3 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 から第 3 のキャリー入力端子に入力がそれぞれ接続された第 1 の全加算器と、前記第 1 から第 3 の符号入力端子に入力がそれぞれ接続された第 2 の全加算器と、前記第 2 の全加算器の和出力に入力が接続された第 1 のインバータと、前記第 2 の全加算器のキャリー出力に入力が接続された第 2 のインバータと、前記第 1 の全加算器の和出力と前記第 1 のインバータの出力とが入力されるアンドゲートと、前記アンドゲートの出力と前記第 1 の全加算器のキャリー出力と前記第 2 のインバータの出力が入力され、そのキャリー出力が前記第 1 のオーバーフロー検出信号出力端子に接続される第 3 の全加算器と、前記第 3 の全加算器の和およびキャリー出力とが入力され、その出力が前記第 2 のオーバーフロー検出信号出力端子に接続されるノアゲートとを具備することを特徴とする。

【 0 0 5 7 】

本発明の他の特徴は、第 1 から第 4 のキャリー入力端子と、第 1 から第 4 の符号入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1 から

第4のキャリー入力端子に入力がそれぞれ接続された第1から第4のインバータと、前記第1から第4の符号入力端子および前記第1から第4のインバータの出力に入力がそれぞれ接続された第1、第2の全加算器および半加算器と、前記第1、第2の全加算器の和出力と前記半加算器の和出力が入力される第4の全加算器と、前記第1、第2の全加算器のキャリー出力と前記半加算器のキャリー出力が入力される第5の全加算器と、前記第4の全加算器のキャリー出力（P1A）と前記第5の全加算器の和出力（P1B）およびキャリー出力（P2）とから論理式 $u = \neg P2 \cap (\neg P1A \cup \neg P1B)$ と $v = P2 \cap (P1A \cup P1B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第1、第2のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【0058】

本発明の他の特徴は、第1から第4のキャリー入力端子と、第1から第4の符号入力端子と、第1、第2のオーバーフロー検出信号出力端子と、前記第4のキャリー入力端子に入力が接続された第1のインバータと、前記第1から第3のキャリー入力端子に入力がそれぞれ接続された第1の全加算器と、前記第1から第3の符号入力端子に入力がそれぞれ接続された第2の全加算器と、前記第1のインバータ出力と前記第4の符号入力端子が入力に接続された半加算器と、前記第1の全加算器の和出力に入力が接続された第2のインバータと、前記第1の全加算器のキャリー出力に入力が接続された第3のインバータと、前記第2のインバータの出力と前記第2の全加算器の和出力と前記半加算器の和出力が入力される第4の全加算器と、前記第3のインバータの出力と前記第2の全加算器のキャリー出力と前記半加算器のキャリー出力が入力される第5の全加算器と、前記第4の全加算器のキャリー出力（P1A）と前記第5の全加算器の和出力（P1B）およびキャリー出力（P2）とから論理式 $u = \neg P2 \cap (\neg P1A \cup \neg P1B)$ と $v = P2 \cap (P1A \cup P1B)$ とにしたがってオーバーフロー検出信号を生成してそれぞれを前記第1、第2のオーバーフロー検出信号出力端子から出力するデコーダとを具備することを特徴とする。

【0059】

本発明の他の特徴は、複数のキャリー入力端子と、複数の符号入力端子と、第 1、第 2 のデータビット入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子とを具備し、前記複数のキャリー入力端子と符号入力端子に入力される信号から検出されたオーバーフロー信号がオーバーフローを示している場合にはこれを出し、オーバーフローを示していない場合には前記第 1、第 2 のデータビット入力端子に入力される第 1、第 2 のデータビット ($k, 1$) にしたがって第 1 データビットが 0 で第 2 データビットが 1 ($k=0, 1=1$) のときに正のオーバーフローに、第 1 データビットが 1 で第 2 データビットが 0 ($k=1, 1=0$) のときに負のオーバーフローに相当する検出信号を出力することを特徴とする。

【 0 0 6 0 】

本発明の他の特徴は、第 1、第 2 のデータビット入力端子と、第 1 から第 4 のキャリー入力端子と、第 1 から第 5 の符号化入力端子と、前記第 1 から第 5 の符号入力端子に入力がそれぞれ接続された第 1 から第 5 のインバータと、前記第 1 から第 4 のキャリー入力端子および前記第 1 から第 5 のインバータの出力に入力がそれぞれ接続された第 1 から第 3 の全加算器と、前記第 1 から第 3 の全加算器の和出力が入力される第 4 の全加算器と、前記第 1 から第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、前記第 4 の全加算器のキャリー出力 ($P1A$) と前記第 5 の全加算器の和出力 ($P1B$) およびキャリー出力 ($P2$) とから論理式 $u = P2 \cap (P1A \cup P1B)$ と $v = \neg P2 \cap (\neg P1A \cup \neg P1B)$ とにしたがってその第 1、第 2 の出力を生成するデコーダと、前記第 1 のデータビット入力端子に入力が接続された第 6 のインバータと、前記第 2 のデータビット入力端子に入力が接続された第 7 のインバータと、前記デコーダの第 1 の出力が入力される第 8 のインバータと、前記デコーダの第 2 の出力が入力される第 9 のインバータと、前記第 6 のインバータの出力と第 2 のデータビット入力端子と第 9 のインバータの出力に入力が接続された第 1 のアンドゲートと、前記第 7 のインバータの出力と第 1 のデータビット入力端子と第 8 のインバータの出力に入力が接続された第 2 のアンドゲートと、前記第 1 のアンドゲートの出力とデコーダの第 1 の出力が入力され、正のオーバーフロー検出信号を出力する第 1 のオ

アゲートと、前記第 2 のアンドゲートの出力とデコーダの第 2 の出力が入力され、負のオーバーフロー検出信号を出力する第 2 のオアゲートとを具備することを特徴とする。

【 0 0 6 1 】

本発明の他の特徴は、第 1、第 2 のデータビット入力端子と、第 1 から第 4 のキャリー入力端子と、第 1 から第 5 の符号化入力端子と、前記第 1、第 2 の符号入力端子に入力がそれぞれ接続された第 1、第 2 のインバータと、前記第 1 から第 4 のキャリー入力端子および前記第 1、第 2 のインバータの出力に入力がそれぞれ接続された第 1、第 2 の全加算器と、前記第 3 から第 5 の符号入力端子に入力が接続された第 3 の全加算器と、前記第 3 の全加算器の和出力に入力が接続された第 3 のインバータと、前記第 3 の全加算器のキャリー出力に入力が接続された第 4 のインバータと、前記第 1、第 2 の全加算器の和出力と第 3 のインバータの出力が入力される第 4 の全加算器と、前記第 1、第 2 の全加算器のキャリー出力と第 4 のインバータの出力が入力される第 5 の全加算器と、前記第 4 の全加算器のキャリー出力 (P 1 A) と前記第 5 の全加算器の和出力 (P 1 B) およびキャリー出力 (P 2) とから論理式 $u = P 2 \cap (P 1 A \cup P 1 B)$ と $v = \neg P 2 \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってその第 1、第 2 の出力を生成するデコーダと、前記第 1 のデータビット入力端子に入力が接続された第 5 のインバータと、前記第 2 のデータビット入力端子に入力が接続された第 6 のインバータと、前記デコーダの第 1 の出力が入力される第 7 のインバータと、前記デコーダの第 2 の出力が入力される第 8 のインバータと、前記第 5 のインバータの出力と第 2 のデータビット入力端子と第 8 のインバータの出力に入力が接続された第 1 のアンドゲートと、前記第 6 のインバータの出力と第 1 のデータビット入力端子と第 7 のインバータの出力に入力が接続された第 2 のアンドゲートと、前記第 1 のアンドゲートの出力とデコーダの第 1 の出力が入力され正のオーバーフロー検出信号を出力する第 1 のオアゲートと、前記第 2 のアンドゲートの出力とデコーダの第 2 の出力が入力され負のオーバーフロー検出信号を出力する第 2 のオアゲートとを具備することを特徴とする。

【 0 0 6 2 】

本発明の他の特徴は、第 1、第 2 のデータビット入力端子と、第 1 から第 5 のキャリー入力端子と、第 1 から第 5 の符号化入力端子と、前記第 1 から第 5 の符号入力端子に入力がそれぞれ接続された第 1 から第 5 のインバータと、前記第 2 から第 4 のキャリー入力端子および前記第 1 から第 5 のインバータの出力に入力がそれぞれ接続された第 1 から第 3 の全加算器と、前記第 1 から第 3 の全加算器の和出力が入力される第 4 の全加算器と、前記第 1 から第 3 の全加算器のキャリー出力が入力される第 5 の全加算器と、前記第 1 のキャリー入力端子と前記第 4 の全加算器の和出力とが入力に接続された第 1 のアンドゲートと、前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力とが入力される半加算器と、前記第 1 のアンドゲートの出力 (P 1 A) と前記半加算器の和出力 (P 1 B) およびキャリー出力 (P 2 A) と前記第 5 の全加算器のキャリー出力 (P 2 B) とから論理式 $u = (P 2 B \cap P 2 A) \cup [(P 2 B \cup P 2 A) \cap (P 1 A \cup P 1 B)]$ と $v = \neg P 2 B \cap \neg P 2 A \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってその第 1、第 2 の出力を生成するデコーダと、前記第 1 のデータビット入力端子に入力が接続された第 6 のインバータと、前記第 2 のデータビット入力端子に入力が接続された第 7 のインバータと、前記デコーダの第 1 の出力が入力される第 8 のインバータと、前記デコーダの第 2 の出力が入力される第 9 のインバータと、前記第 6 のインバータの出力と第 2 のデータビット入力端子と第 9 のインバータの出力に入力が接続された第 2 のアンドゲートと、前記第 7 のインバータの出力と第 1 のデータビット入力端子と第 8 のインバータの出力に入力が接続された第 3 のアンドゲートと、前記第 2 のアンドゲートの出力とデコーダの第 1 の出力が入力され正のオーバーフロー検出信号を出力する第 1 のオアゲートと、前記第 3 のアンドゲートの出力とデコーダの第 2 の出力が入力され負のオーバーフロー検出信号を出力する第 2 のオアゲートとを具備することを特徴とする。

【 0 0 6 3 】

本発明の他の特徴は、第 1、第 2 のデータビット入力端子と、第 1 から第 5 のキャリー入力端子と、第 1 から第 5 の符号化入力端子と、第 1、第 2 のオーバーフロー検出信号出力端子と、前記第 1、第 2 の符号入力端子に入力がそれぞれ接続された第 1、第 2 のインバータと、前記第 2 から第 4 のキャリー入力端子およ

び前記第 1、第 2 のインバータの出力に入力それぞれ接続された第 1、第 2 の全加算器と、前記第 3 から第 5 の符号入力端子に入力された第 3 の全加算器と、前記第 3 の全加算器の和出力に入力が接続された第 3 のインバータと、前記第 3 の全加算器のキャリー出力に入力が接続された第 4 のインバータと、前記第 1、第 2 の全加算器の和出力と第 3 のインバータの出力が入力されると第 4 の全加算器と、前記第 1、第 2 の全加算器のキャリー出力と第 4 のインバータの出力が入力される第 5 の全加算器と、前記第 1 のキャリー入力端子と前記第 4 の全加算器の和出力とが入力に接続された第 1 のアンドゲートと、前記第 4 の全加算器のキャリー出力と前記第 5 の全加算器の和出力とが入力される半加算器と、前記第 1 のアンドゲートの出力 (P 1 A) と前記半加算器の和出力 (P 1 B)、およびキャリー出力 (P 2 A) と前記第 5 の全加算器のキャリー出力 (P 2 B) とから論理式 $u = (P 2 B \cap P 2 A) \cup [(P 2 B \cup P 2 A) \cap (P 1 A \cup P 1 B)]$ と $v = \neg P 2 B \cap \neg P 2 A \cap (\neg P 1 A \cup \neg P 1 B)$ とにしたがってその第 1、第 2 の出力を生成するデコーダと、前記第 1 のデータビット入力端子に入力が接続された第 5 のインバータと、前記第 2 のデータビット入力端子に入力が接続された第 6 のインバータと、前記デコーダの第 1 の出力が入力される第 7 のインバータと、前記デコーダの第 2 の出力が入力される第 8 のインバータと、前記第 5 のインバータの出力と第 2 のデータビット入力端子と第 8 のインバータの出力に入力が接続された第 2 のアンドゲートと、前記第 6 のインバータの出力と第 1 のデータビット入力端子と第 7 のインバータの出力に入力が接続された第 3 のアンドゲートと、前記第 2 のアンドゲートの出力とデコーダの第 1 の出力が入力され正のオーバーフロー検出信号を出力する第 1 のオアゲートと、前記第 3 のアンドゲートの出力とデコーダの第 2 の出力が入力され負のオーバーフロー検出信号を出力する第 2 のオアゲートとを具備することを特徴とする。

【 0 0 6 4 】

本発明は、直列演算方式によりフィルタ処理を行うデジタルバイカッドフィルタにおいて、全ての係数器の出力と加算器のキャリー（桁上げ）出力とから全てのビットに互ってオーバーフローを検出し、内部遅延の出口で、検出結果に応じて、信号を正または負の最大値にクリップする処理を実行することにより、オ

オーバーフロー振動を防止している。

【0065】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。図1は、本発明のデジタルフィルタの第1の実施形態に係る構成を示したブロック図である。

【0066】

図1において、デジタル（バイカッド）フィルタ100は、アンドゲート6、シフトレジスタ7a、7b、7c、係数器8a、8b、8c、8d、8e、加算器9a、9b、9c、9d、クリップ回路10、オーバーフロー検出器11を有し、このようなデジタル（バイカッド）フィルタが横方向に多段に接続されている。

【0067】

これらのうち、例えば、係数器8a、8b、8c、8d、8eには図22に示すような回路が用いられ、加算器9a、9b、9c、9dには図23に示すような回路が用いられ、シフトレジスタ7a、7b、7cには図24に示すような回路が用いられている。

【0068】

図22は上記した本発明の第1の実施形態に用いられる係数器の構成例である。図22で、6はアンドゲート、16はインバータ、17は全加算器、21はオアゲート、24はエクスクルーシブオア（排他的論理和）ゲート、25は1ビットレジスタ、26はナンドゲートである。また、X5からX0は係数、Yはデータ入力、Sは符号補正信号入力、Rはリセット信号入力、Pはデータ出力である。

【0069】

図23は上記した本発明の第1の実施形態に用いられる加算器の構成例である。図23で、6はアンドゲート、17は全加算器、25は1ビットレジスタである。また、A、Bはデータ入力、Rはリセット入力、Sは和出力、DCはキャリー（桁上げ）出力である。このキャリーは、全加算器17のキャリー出力を1ビットレジスタ25によって1クロックサイクルだけ遅延したものである。

【 0 0 7 0 】

図 2 4 は上記した本発明の第 1 の実施形態に用いられるシフトレジスタの例である。図 2 4 で、2 5 は 1 ビットレジスタある。また、D は入力、Q は出力で、図は N ビットの場合を示している。

【 0 0 7 1 】

図 2 2 ～図 2 4 の回路で用いられる 1 ビットレジスタ 2 5 には、図 2 5 に示す回路を用いることができる。

【 0 0 7 2 】

図 2 5 は上記した本発明の第 1 の実施形態に用いられる 1 ビットレジスタの回路例である。図 2 5 で、1 6 はインバータ、2 7 はクロックドインバータである。また、D はデータ入力、Q はデータ出力、 ϕ 、 $\neg\phi$ はそれぞれ、クロックとその反転信号である。

【 0 0 7 3 】

図 2 2、2 3 で用いられるの全加算器には、例えば図 2 7 に示すものを用いることができる。図 2 7 で、6 はアンドゲート、2 1 はオアゲート、2 4 はエクスクルージブオアゲートである。また、A、B はデータ入力、C I はキャリー入力、S は和出力、C O はキャリー出力である。

【 0 0 7 4 】

次に本実施形態の動作について説明する。図 1 において、信号 m、n、o、p、r、s は制御信号である。図に示した入力データ、出力データと、制御信号のタイミングは、データと係数それぞれのビット長によって異なる。データが 1 0 ビット、係数が 6 ビットの場合のタイミングを図 3 0 に示す。

【 0 0 7 5 】

図 3 0 は第 1 の実施形態における入力データ、出力データと、制御信号のタイミングを示す図である。この図の例では、データが 1 0 ビット、係数が 6 ビットの場合の例であり、データの整数部が 4 ビット、係数の整数部が 2 ビットの場合である。出力データは、入力データに対して、[データ長 1 + [係数の小数部の長さ] だけ遅れている。

【 0 0 7 6 】

図 1 の破線内が、ディジタル（バイカッド）フィルタ（単にバイカッドと称することもある）100を構成している。バイカッドは、多段に縦続接続して用いられることが多いため、図には、前後の段のバイカッド回路の一部も示してある。バイカッド100内部では、クリップ回路10の出力wとシフトレジスタ7bの出力に、それぞれ係数器8a、8bによって、予め定められた係数が乗じられ、それらの出力は加算器9aで加算される。加算器9aの出力と入力データとは加算器9dで加算される。加算器9dの出力は、アンドゲート6によって、制御信号mと論理和をとられ、シフトレジスタ7aへと入力される。制御信号mは、加算器9dの出力から、データ長に等しい長さのビット列を切り出す役目をして

【0077】

この部分の回路は、係数器に採用する回路によって異なり、図22以外の係数器を用いた場合は、アンドゲートのような単純な回路にならないこともある。シフトレジスタ7aの出力tは、クリップ回路10に入力される。また、クリップ回路10の出力wとシフトレジスタ7bの出力、それにシフトレジスタ7cの出力には、それぞれ係数器8c、8d、8eによって、予め定められた係数が乗じられ、8dと8eの出力は加算器9cで、係数器8cの出力と加算器9cの出力とは加算器9bで加算され、出力データとして次の段に送られる。クリップ回路10には、例えば、図21に示す回路が用いられる。

【0078】

図21は上記した本発明の第1の実施形態に用いられるクリップ回路の回路構成例を示した回路図である。図21で、6はアンドゲート、16はインバータ、21はオアゲート、24はエクスクルーシブオアゲート、25は1ビットレジスタである。また、tは入力信号、Wは出力信号、uとvは、それぞれ正負のオーバーフロー検出信号、n、o、p、sは図30に示したタイミングで変化する制御信号である。

【0079】

クリップ回路10は、バイカッド100の動作開始前に、制御信号pによって初期化され、出力wは0（ローレベル）になっている。バイカッド100が動作

を開始すると、出力 w は入力 t を 1 クロックサイクル遅らせたものになる。制御信号 o が 1 (ハイレベル) になっている期間に、正負のオーバーフロー検出信号 u 、 v が評価される。ここで、 $u = 1$ 且つ $v = 0$ のとき、正のオーバーフローを検出したことを示し、 $u = 0$ 且つ $v = 1$ のとき、負のオーバーフローを検出したことを示している。

【 0 0 8 0 】

(a) $u = v = 0$ のときには $w = t$ 、

(b) $u = 1$ かつ $v = 0$ のときには $w = 1$ 、

(c) $u = 0$ かつ $v = 1$ のときには $w = 0$

に次のクロック ϕ の立ち上がりでセットされる。 $u = v = 1$ の組み合わせは禁止されているが、図 2 1 の回路では、上記 (b) に等しい操作が行われる。上記 (a) の操作が行われた場合は、制御信号 o が再び立ち上がるまで、出力 w は入力 t を 1 クロックサイクル遅らせたものになる。上記 (b) または (c) の操作が行われた場合は、制御信号 n が 1 になると、次のクロックの立ち上がりで w の値が反転され、制御信号 s が 1 になった後、クロックの立ち上がり同期して $w = 0$ にリセットされる。

【 0 0 8 1 】

このクリップ回路 1 0 の作用によって、信号 w は、正のオーバーフロー時には正の最大値に、負のオーバーフロー時には負の最大値に、強制的にクリップされる。

【 0 0 8 2 】

上記オーバーフロー検出信号 u 、 v は、オーバーフロー検出器 1 1 によって生成される。オーバーフロー検出器には、係数器 8 a、8 b の出力 (直列演算なので、出力は 1 本だけであるが、並列演算の場合は MSB だけを取り出す) a、b と、加算器 9 a のキャリー出力 f と、加算器 9 d のキャリー出力 i と、前段のバйкаッドの係数器 8 c、8 d、8 e の出力 (並列処理のときは MSB) c、d、e と、同じく前段の加算器 9 b、9 c のキャリー出力 g 、 h とが入力されている。これら全ての入力をデコードして、正負のオーバーフロー検出信号 u 、 v を得る。

【0083】

次にオーバーフロー検出の原理について述べる。2の補数表現では、符号ビット(MSB)が0のとき正の数、1のとき負の数である。一方、2の補数表現された2数を加算する場合、MSBのすぐ下の桁からのキャリーは、1のとき正の重みを持っており、0のときは文字通り0である。つまり、符号ビットとキャリーとでは、数値0、1に対して、正負の重みづけが逆になっている。そこで、符号ビット若しくはキャリーのどちらか一方を反転して加算し、ある一定のオフセットを加算するか、またはそれから引き算すれば、符号ビットと、それよりも上位のビットの加算結果がオーバーフローなしに求められる。

【0084】

まず、符号ビットを反転する場合を考える。図1に示したオーバーフロー検出器11の入力のうち、a、b、c、d、eを反転して、また、f、g、h、iをそのまま加算する。符号ビットに対する重み付けは、本来(-1)だから、オフセットはこの場合(-5)になる。このことを、式を用いて、

$$S = \neg a + \neg b + \neg c + \neg d + \neg e + f + g + h + i \quad [1]$$

$$Z = S - 5 \quad [2]$$

のように表す。ここで、Sを単純和、Zを真の和と呼ぶことにする。入力が全部で9個なので、SとZは4ビットの数である。SとZの各ビットをMSBから、S3, S2, S1, S0そしてZ3, Z2, Z1, Z0のように表す。

【0085】

図37は、第1の実施形態における単純和S、真の和Zと、オーバーフローとの関係を示す表図である。

【0086】

この表1から、真の和Zからオーバーフロー検出信号u、vを求める論理式(ブール代数による式)は、次のようである。

【0087】

$$u = \neg Z_3 \cap (Z_2 \cup Z_1 \cup Z_0) \quad [3]$$

$$v = Z_3 \cap (\neg Z_2 \cup \neg Z_1 \cup \neg Z_0) \quad [4]$$

図5は上記した本発明の第1の実施形態に用いられるオーバーフロー検出器1

1の構成例を示した回路図である。図5で、6はアンドゲート、15はオアゲート、16はインバータ、17は全加算器である。この回路は、ワレスのツリー回路 (Wallace's Tree) とデコーダとを組み合わせたものである。この回路はワレスツリーによって、入力a、b、c、d、eの反転信号と入力f、g、h、iとオフセット(-5)を足し合わせて、真の和Zを得た後、図37の表1の組合せにしたがって、Zをデコードし、正負のオーバーフロー検出信号u、vを得ている。(-5)を加算するには、その2の補数表現1101を足せばよいのであるが、加算すべきビットを反転して加算結果とし、反転前の、そのビット自身をキャリーとして上位桁に渡すことによって、(-5)という値を回路に与えることなく、オフセットの加算を可能にしている。

【0088】

図6は上記した本発明の第1の実施形態に用いられるオーバーフロー検出器11の他の構成例を示した回路図である。図6は、図5で破線で囲んで示した3個のインバータと全加算器の組合せ18を、全加算器とインバータ2個の組合せ19で置き換えたものである。18と19とが等価であることは、真理値表を書いてみれば明らかであるが、全加算器17が入力A、B、Cのなかにある1の数を数える回路であることを思い起こすと、入力を反転して与えれば、こんどは、反転前の入力のなかにある0の数を数えることになる。入力は3つあるので、反転せずに入力を与えて、出力を3から引き算すれば等価な回路となる。3から2ビットの2進数を引き算することは、その1の補数をとることに等しく、これは各ビットを反転することにほかならない。よって、18と19とは等価である。

【0089】

今度は、キャリーを反転する場合を考える。図1に示したオーバーフロー検出器11の入力のうち、a、b、c、d、eをそのまま、また、f、g、h、iを反転して加算する。キャリーに対する重み付けは1だから、オフセットはの場合4になる(反転したキャリーの和が0のとき、じつは4の重み)。また、符号ビットの重みは(-1)だから、和を符号反転してオフセットを加える。このことを、式をもちいて、

$$S' = a + b + c + d + e + \neg f + \neg g + \neg h + \neg i \quad [5]$$

$$Z = (-S') + 4 = 4 - S' \quad [6]$$

のように表す。ここでもまた、 S' を単純和、 Z を真の和と呼ぶことにする。入力が全部で9個なので、 S' と Z は4ビットの数である。 S' と Z の各ビットをMSBから、 S_3' 、 S_2' 、 S_1' 、 S_0' そして Z_3 、 Z_2 、 Z_1 、 Z_0 のように表す。

【0090】

図38に示した表2は、第1の実施形態における単純和 S' 、真の和 Z と、オーバーフローとの関係を示す表である。この表2から、真の和 Z からオーバーフロー検出信号 u 、 v を求める論理式は、上に示した式[3]、[4]のようであることがわかる。

【0091】

図7は上記した本発明の第1の実施形態に用いられるオーバーフロー検出器11の例である。図7で、6はアンドゲート、15はオアゲート、16はインバータ、17は全加算器、20は半加算器である。ここで、半加算器20には、例えば、図28に示す回路を用いることができる。

【0092】

図28は上記した本発明の第1の実施形態に用いられる半加算器の構成例である。図28で、6はアンドゲート、24はエクスクルーシブオアゲートである。

【0093】

図7の回路も、ワレスツリーとデコーダとを組み合わせたものである。この回路はワレスツリーによって、入力 a 、 b 、 c 、 d 、 e と入力 f 、 g 、 h 、 i の反転信号とを足し合わせ、これを4から引き算して真の和 Z を得た後、表2の組合せにしたがって、 Z をデコードし、正負のオーバーフロー検出信号 u 、 v を得ている。数値4から単純和 S' を減算するには、単純和 S' の2の補数を取り、4すなわち2進数0100を足せばよいのであるが、2の補数をとるには、もとの数を反転して1を足せばよいことから、単純和 S' を反転して、数値 $5 = 4 + 1$ を足している。数値5の加算は、上で説明した方法を用いているので、回路に数値5を直接与えることなく行われる。なお、図の破線で囲んだ部分18は、図6の19と置き換えても等価である。

【 0 0 9 4 】

今まで説明したオーバーフロー検出器は、真の和 Z からオーバーフローを検出していた。しかし、表 1 または表 2 を見ると、 S と Z 、または S' と Z の値どうしは、互いに 1 対 1 に対応していることがわかる。このことから、真の和 Z ではなく、単純和 S または S' をデコードしでも、オーバーフロー検出が可能なことがわかる。

【 0 0 9 5 】

表 1 から、単純和 S からオーバーフロー検出信号 u 、 v を求める論理式は、次のようである。

【 0 0 9 6 】

$$u = S_3 \cup (S_2 \cap S_1) \quad [7]$$

$$v = \neg S_3 \cap \neg S_2 \quad [8]$$

表 2 から、単純和 S' からオーバーフロー検出信号 u 、 v を求める論理式は、次のようである。

【 0 0 9 7 】

$$u = \neg S_3' \cap \neg S_2' \quad [9]$$

$$v = S_3' \cup (S_2' \cap S_1') \quad [10]$$

図 8 は第 1 の実施形態に使用されるオーバーフロー検出器 11 の別の例である。図 8 で、6 はアンドゲート、16 はインバータ、17 は全加算器、20 は半加算器、21 はオアゲート、22 はノアゲートである。

【 0 0 9 8 】

図 8 の回路は、符号ビットを反転する方式のもので、式 [2] の真の和 Z の代わりに、式 [1] の単純和 S をデコードして正負のオーバーフロー検出信号 u 、 v を得ている。なお、図の破線で囲んだ部分 19 は、図 5 の 18 と置き換えても等価である。

【 0 0 9 9 】

図 9 は上記した本発明の第 1 の実施形態に用いられるオーバーフロー検出器 11 の構成例である。図 9 で、6 はアンドゲート、16 はインバータ、17 は全加算器、20 は半加算器、21 はオアゲート、22 はノアゲートである。

【0100】

図9の回路は、キャリーを反転する方式のもので、式[6]の真の和Zの代わりに、式[5]の単純和S'をデコードして正負のオーバーフロー検出信号u、vを得ている。なお、図の破線で囲んだ部分19は、図5の18と置き換えても等価である。

【0101】

さて、図8で、記号P2、P1B、P1A、P0で表した信号は、単純和Sを得る前の冗長2進数である。これらの冗長2進信号をデコードしてもオーバーフローは検出可能である。

【0102】

図39に示した表3は、図8における冗長2進信号P2、P1B、P1A、P0とオーバーフローとの関係を示す表である。

【0103】

表3から、冗長2進信号P2、P1B、P1A、P0からオーバーフロー検出信号u、vを求める論理式は、次のようである。

【0104】

$$u = P2 \cap (P1B \cup P1A) \quad [11]$$

$$v = \neg P2 \cap (\neg P1B \cup \neg P1A) \quad [12]$$

図10は上記した本発明の第1の実施形態に用いられるオーバーフロー検出器11の他の構成例である。図10で、6はアンドゲート、16はインバータ、17は全加算器、21はオアゲート、22はノアゲートである。

【0105】

図10で示した回路は、符号ビットを反転する方式のもので、式[1]の単純和Sの代わりに、図39に示した表3の冗長2進信号P2、P1B、P1A、P0をデコードして正負のオーバーフロー検出信号u、vを得ている。なお、図の破線で囲んだ部分19は、図5の18と置き換えても等価である。

【0106】

図40で示した表4は、図9における冗長2進信号P2'、P1B'、P1A'、P0'、とオーバーフローとの関係を示す表である。

【0107】

この表4から、冗長2進信号 $P2'$ 、 $P1B'$ 、 $P1A'$ 、 $P0'$ からオーバーフロー検出信号 u 、 v を求める論理式は、次のようである。

【0108】

$$u = \neg P2' \cap (\neg P1B' \cup \neg P1A') \quad [13]$$

$$v = P2' \cap (P1B' \cup P1A') \quad [14]$$

図11は上記した本発明の第1の実施形態に用いられるオーバーフロー検出器11の他の構成例である。図11で、6はアンドゲート、16はインバータ、17は全加算器、21はオアゲート、22はノアゲートである。

【0109】

図11の回路は、キャリーを反転する方式のもので、式[5]の単純和 S' の代わりに、図40の表4の冗長2進信号 $P2'$ 、 $P1B'$ 、 $P1A'$ 、 $P0'$ をデコードして正負のオーバーフロー検出信号 u 、 v を得ている。なお、図の破線で囲んだ部分19は、図5の18と置き換えても等価である。

【0110】

ところで、すでに述べたように、バイカッドは、多段に縦続接続されて用いられることが多いのであるが、単独で用いられた場合、または多段接続された初段のバイカッドには、前段からのオーバーフロー検出用入力信号 c 、 d 、 e 、 g 、 h が存在しない。この場合、図1のオーバーフロー検出器11に入力されている9本の信号のうち、 d 、 e 、 g 、 h を0にし、 c として入力データを与えれば、オーバーフローが正確に検出できる。通常、 d 、 e 、 g 、 h を0にする操作は、これらの信号線をGND（接地）レベルに接続することで実現される。

【0111】

また、バターースフィルタのような全極型のフィルタでは、係数器8d、8eが不用であるため、オーバーフロー検出用入力信号 d 、 e 、 g 、 h を省略できる。この場合も上と同様の操作を行う。この場合、信号 c は、入力データと等しい。

【0112】

しかし、初段バイカッド専用のオーバーフロー検出器を用意すれば、検出器の

回路規模を削減できる。

【0113】

図12は上記した本発明の第1の実施形態に用いられるオーバーフロー検出器11の他の構成例である。図12で、6はアンドゲート、16はインバータ、17は全加算器、20は半加算器、22はノアゲートである。

【0114】

図12の回路は、初段バイカッド専用のオーバーフロー検出器であり、全極型フィルタにも応用できる。オーバーフローは、信号a、b、c、f、iから検出され、他の信号は不要である。なお、図の破線で囲んだ部分19は、図5の18と置き換えても等価である。

【0115】

図13は上記した本発明の第1の実施形態に使用されるオーバーフロー検出器11の他の例である。図13で、6はアンドゲート、16はインバータ、17は全加算器、20は半加算器、22はノアゲートである。

【0116】

図13の回路は、初段バイカッド専用のオーバーフロー検出器であり、全極型フィルタにも応用できる。オーバーフローは、信号a、b、c、f、iから検出され、他の信号は不要である。

【0117】

多段に縦続接続されたバイカッドで実現されるフィルタの次数は、偶数であるとは限らない。この場合、通常最後の段の係数器8b、8eの係数を0にして、バイカッドの実効的な次数を1次にする。しかし、これらの係数器を省略して、最終段バイカッドの回路規模を削減する場合もある。

【0118】

このときには、内部で発生するオーバーフロー検出用入力信号bとfが存在しない。前段は2次バイカッドであるから、他のオーバーフロー検出用入力信号は、全て存在する。この場合、図1のオーバーフロー検出器11に入力されている9本の信号のうち、b、fを0にすれば、オーバーフローが正確に検出できる。通常、b、fを0にする操作は、これらの信号線をGND（接地）レベルに接続

することで実現される。この場合も、1次の最終段専用のオーバーフロー検出器を用意すれば、検出器の回路規模を削減できる。

【0119】

図14は上記した本発明の第1の実施形態に用いられるオーバーフロー検出器11の他の構成例である。図14で、6はアンドゲート、16はインバータ、17は全加算器、21はオアゲート、22はノアゲートである。

【0120】

図14の回路は、1次の最終段専用オーバーフロー検出器である。オーバーフローは、信号a、c、d、e、g、h、iから検出され、他の信号は不要である。なお、図の破線で囲んだ部分19は、図5の18と置き換えても等価である。

【0121】

図15は本発明の第1の実施形態に使用されるオーバーフロー検出器11の他の例である。図15で、6はアンドゲート、16はインバータ、17は全加算器、21はオアゲート、22はノアゲートである。

【0122】

図15の回路は、1次の最終段専用オーバーフロー検出器である。オーバーフローは、信号a、c、d、e、g、h、iから検出され、他の信号は不要である。なお、図の破線で囲んだ部分19は、図5の18と置き換えても等価である。

【0123】

本実施形態によれば、全てのビットのオーバーフローを検出できるオーバーフロー検出器11により正負のオーバーフローが検出されると、クリップ回路10で出力を正負の絶対値の最大値に固定することにより、2ビット以上の複数ビットに亘るオーバーフローを検出できると共に、オーバーフロー振動の発生を完全に防止することができる。

【0124】

図2は、本発明のディジタルフィルタの第2の実施形態に係る構成を示したブロック図である。図2において、6はアンドゲート、7a、7b、7cはシフトレジスタ、8a、8b、8c、8d、8eは係数器、9a、9b、9c、9d、9eは加算器、10はクリップ回路、12はオーバーフロー検出器である。

【0125】

これらのうち、例えば、係数器には図22、加算器には図23、シフトレジスタには図24に示す回路を用いることができる。また、クリップ回路には、図21に示す回路を用いることができる。

【0126】

図2において、信号m、n、o、p、q、r、sは制御信号である。図に示した入力データ、出力データと、制御信号のタイミングは、データと係数それぞれのビット長によって異なる。データが10ビット、係数が6ビットの場合のタイミングを図31に示す。

【0127】

図31は第2の実施形態における入力データ、出力データと、制御信号のタイミングを示す図である。図31は、データが10ビット、係数が6ビットの場合の例であり、データの整数部が4ビット、係数の整数部が2ビットの場合である。

【0128】

次に第2の実施形態についてその動作を説明する。図2の破線内が、デジタルバイカッドフィルタ100を構成している。バイカッド100は、多段に縦続接続して用いられることが多いため、図には、前後の段のバイカッド回路の一部も示してある。

【0129】

バイカッド100内部では、クリップ回路10の出力wとシフトレジスタ7bの出力に、それぞれ係数器8a、8bによって、あらかじめ定められた係数が乗じられ、それらの出力は加算器9aで加算される。加算器9aの出力と制御信号qとは加算器9eで加算される。制御信号qは、加算器9aの出力に対して、LSB（最下位ビット）より下の部分を四捨五入する役目をしている。この操作を丸め（rounding）と呼ぶ。加算器9eの出力と入力データとは加算器9dで加算される。加算器9dの出力は、アンドゲート6によって、制御信号mと論理和をとられ、シフトレジスタ7aへと入力される。制御信号mは、加算器9dの出力から、データ長に等しい長さのビット列を切り出す役目をしている。シフトレ

ジスタ 7 a の出力 t は、クリップ回路 1 0 に入力される。

【 0 1 3 0 】

また、クリップ回路 1 0 の出力 w とシフトレジスタ 7 b の出力、それにシフトレジスタ 7 c の出力には、それぞれ係数器 8 c、8 d、8 e によって、あらかじめ定められた係数が乗じられ、8 d と 8 e の出力は加算器 9 c で、係数器 8 c の出力と加算器 9 c の出力とは加算器 9 b で加算され、出力データとして次の段に送られる。

【 0 1 3 1 】

上記クリップ回路 1 0 には、例えば、図 2 1 に示すような回路が用いられる。クリップ回路 1 0 には、入力信号 t、正負のオーバーフロー検出信号 u と v、図 3 1 に示したタイミングで変化する制御信号 n、o、p、s が入力されている。このクリップ回路 1 0 の作用によって、信号 w は、正のオーバーフロー時には正の最大値に、負のオーバーフロー時には負の最大値に、強制的にクリップされる。

【 0 1 3 2 】

上記オーバーフロー検出信号 u、v は、オーバーフロー検出器 1 2 によって生成される。オーバーフロー検出器には、係数器 8 a、8 b の出力 a、b と、加算器 9 a のキャリー出力 f と、加算器 9 d のキャリー出力 i と、加算器 9 e のキャリー出力 j と、前段のバイカッドの係数器 8 c、8 d、8 e の出力 c、d、e と、同じく前段の加算器 9 b、9 c のキャリー出力 g、h とが入力されている。これら全ての入力をデコードして、正負のオーバーフロー検出信号 u、v を得る。

【 0 1 3 3 】

図 1 6 は、第 2 の実施形態に使用されるオーバーフロー検出器 1 2 の構成例である。図 1 6 で、6 はアンドゲート、1 6 はインバータ、1 7 は全加算器、2 0 は半加算器、2 1 はオアゲート、2 2 はノアゲートである。

【 0 1 3 4 】

図 1 6 の回路は、符号を反転する方式のもので、単純和を計算する前の冗長 2 進信号をデコードして正負のオーバーフロー検出信号 u、v を得ている。なお、図の破線で囲んだ部分 1 9 は、図 5 の 1 8 と置き換えても等価である。この回路

は、等価的に次式で求められる真の和 Z を評価している。

【0135】

$$Z = \neg a + \neg b + \neg c + \neg d + \neg e + f + g + h + i + j - 5 \dots [15]$$

この式 [15] で、

(a) 真の和 $Z > 0$ のとき $u = 1, v = 0$

(b) 真の和 $Z < (-1)$ のとき $u = 0, v = 1$

(c) 上記 (a)、(b) 以外 $u = v = 0$

になる。

【0136】

図17は、第2の実施形態に使用されるオーバーフロー検出器12の他の構成例である。図17で、6はアンドゲート、16はインバータ、17は全加算器、22はノアゲートである。

【0137】

図17の回路は、初段バイカッド専用のオーバーフロー検出器であり、全極型フィルタにも応用できる。オーバーフローは、信号 a 、 b 、 c 、 f 、 i 、 j から検出され、他の信号は不要である。なお、図の破線で囲んだ部分19は、図5の18と置き換えても等価である。

【0138】

図18は、第1の実施形態に使用されるオーバーフロー検出器12の他の構成例である。図18で、6はアンドゲート、16はインバータ、17は全加算器、20は半加算器、21はオアゲート、22はノアゲートである。

【0139】

図18の回路は、1次の最終段専用オーバーフロー検出器である。オーバーフローは、信号 a 、 c 、 d 、 e 、 g 、 h 、 i 、 j から検出され、他の信号は不要である。なお、図の破線で囲んだ部分19は、図5の18と置き換えても等価である。

【0140】

本実施形態によれば、加算器9eを挿入して丸め回路を付加することにより、演算結果を四捨五入することができ、その分、フィルター機能の精度を向上させ

ることができる。他の構成は図 1 に示した第 1 の実施の形態と同様で、同様の効果がある。

【0141】

上記第 1、第 2 の実施形態では、係数器内部での乗算によるオーバーフローを想定していない。係数器でのオーバーフローを防ぐには、係数の絶対値を 1 より小さくするか、オーバーフロー対策された係数器を使用する。係数の絶対値が 1 以上で、しかも係数器がオーバーフロー対策されていない場合の例を以下に示す。

【0142】

図 3 は、本発明のデジタルフィルタの第 3 の実施形態に係る構成を示したブロック図である。図 3 において、6 はアンドゲート、7 a、7 b、7 c はシフトレジスタ、8 a、8 b、8 c、8 d、8 e は係数器、9 a、9 b、9 c、9 d は加算器、10 はクリップ回路、13 はオーバーフロー検出器である。

【0143】

これらのうち、例えば、係数器には図 2 2、加算器には図 2 3、シフトレジスタには図 2 4 に示す回路を用いることができる。また、クリップ回路には、図 2 1 に示す回路を用いることができる。

【0144】

図 3 において、信号 m、n、o、p、r、s は制御信号である。図に示した入力データ、出力データと、制御信号のタイミングは、データと係数それぞれのビット長によって異なる。データが 10 ビット、係数が 6 ビットの場合のタイミングを図 3 2 に示す。

【0145】

図 3 2 は第 3 の実施形態における入力データ、出力データと、制御信号のタイミングを示す図である。図 3 2 は、データが 10 ビット、係数が 6 ビットの場合の例であり、データの整数部が 4 ビット、係数の整数部が 2 ビットの場合である。

【0146】

次に第 3 の実施形態の動作について説明する。図 3 の破線内が、デジタルバ

イカッドフィルタ 1 0 0 を構成している。バイカッド 1 0 0 は、多段に縦続接続して用いられることが多いため、図には、前後の段のバイカッド回路の一部も示してある。

【 0 1 4 7 】

バイカッド内部では、クリップ回路 1 0 の出力 w とシフトレジスタ 7 b の出力に、それぞれ係数器 8 a、8 b によって、あらかじめ定められた係数が乗じられ、それらの出力は加算器 9 a で加算される。加算器 9 a の出力と入力データとは加算器 9 d で加算される。加算器 9 d の出力は、アンドゲート 6 によって、制御信号 m と論理和をとられ、1 ビットレジスタ 7 d へと入力される。制御信号 m は、加算器 9 d の出力から、データ長に等しい長さのビット列を切り出す役目をしている。1 ビットレジスタ 7 d の出力は、シフトレジスタ 7 a へと入力される。シフトレジスタ 7 a の出力 t は、クリップ回路 1 0 に入力される。また、クリップ回路 1 0 の出力 w とシフトレジスタ 7 b の出力、それにシフトレジスタ 7 c の出力には、それぞれ係数器 8 c、8 d、8 e によって、あらかじめ定められた係数が乗じられ、8 d と 8 e の出力は加算器 9 c で、係数器 8 c の出力と加算器 9 c の出力とは加算器 9 b で加算され、出力データとして次の段に送られる。

【 0 1 4 8 】

上記クリップ回路 1 0 には、例えば、図 2 1 に示す回路が用いられる。クリップ回路 1 0 には、入力信号 t 、正負のオーバーフロー検出信号 u と v 、図 3 2 に示したタイミングで変化する制御信号 n 、 o 、 p 、 s が入力されている。このクリップ回路 1 0 の作用によって、信号 w は、正のオーバーフロー時には正の最大値の $1/2$ に、負のオーバーフロー時には負の最大値の $1/2$ に、強制的にクリップされる。

【 0 1 4 9 】

上記オーバーフロー検出信号 u 、 v は、オーバーフロー検出器 1 3 によって生成される。オーバーフロー検出回路には、係数器 8 a、8 b の出力 a 、 b と、加算器 9 a のキャリー出力 f と、加算器 9 d のキャリー出力 i と、前段のバイカッドの係数器 8 c、8 d、8 e の出力 c 、 d 、 e と、同じく前段の加算器 9 b、9 c のキャリー出力 g 、 h と、アンドゲート 6 の出力 k と、1 ビットレジスタの出

力1が入力されている。これら全ての入力をデコードして、正負のオーバーフロー検出信号 u 、 v を得る。

【0150】

図19は、第3の実施形態に使用されるオーバーフロー検出器13の例である。図19で、6と23はアンドゲート、16はインバータ、17は全加算器、21はオアゲート、22はノアゲートである。

【0151】

図19の回路は、図10の回路を包含している。図19の回路は、表1に示した図10の回路の検出する正負のオーバーフローに加えて、信号 k 、 l の値により、次のような動作をする。

【0152】

- | | |
|--|----------------|
| (a) 表1の Z が、 $Z > 0$ のとき | $u = 1, v = 0$ |
| (b) 表1の Z が、 $Z < (-1)$ のとき | $u = 0, v = 1$ |
| (c) 上記 (b) 以外で、 $k = 0$ かつ $l = 1$ のとき | $u = 1, v = 0$ |
| (d) 上記 (a) 以外で、 $k = 1$ かつ $l = 0$ のとき | $u = 0, v = 1$ |
| (e) 上記 (a) から (d) のどれにもあてはまらないとき | $u = 0, v = 0$ |

図19の回路は、このような動作により、加算器9dの和出力が、データ形式によって定まる正負の最大値の $1/2$ を超えたことを検出する。なお、図の破線で囲んだ部分19は、図5の18と置き換えても等価である。

【0153】

図3の実施形態では、レジスタ7aに直列にレジスタ7dを挿入して、オーバーフロー検出器13にレジスタ7a、7dの入力信号を入力してオーバーフロー検出を行わせると共に、クリップ回路10との組合せにより、すべての係数器に入力されるデータが、正負の最大値の $1/2$ 以下にクリップされるので、係数の絶対値が2よりも小さければ、係数器内部での乗算によるオーバーフローは生じないようにすることができ、演算に際し、オーバーフロー振動の発生を無くすことができる。

【0154】

図 4 は本発明のデジタルフィルタ第 4 の実施形態に係る構成を示したブロック図である。図 4 において、6 はアンドゲート、7 a、7 b、7 c はシフトレジスタ、8 a、8 b、8 c、8 d、8 e は係数器、9 a、9 b、9 c、9 d、9 e は加算器、1 0 はクリップ回路、1 4 はオーバーフロー検出器である。

【 0 1 5 5 】

これらのうち、例えば、係数器には図 2 2、加算器には図 2 3、シフトレジスタには図 2 4 に示す回路を用いることができる。また、クリップ回路には、図 2 1 に示す回路を用いることができる。

【 0 1 5 6 】

図 4 において、信号 m、n、o、p、q、r、s は制御信号である。図に示した入力データ、出力データと、制御信号のタイミングは、データと係数それぞれのビット長によって異なる。データが 1 0 ビット、係数が 6 ビットの場合のタイミングを図 3 3 に示す。

【 0 1 5 7 】

図 3 3 は第 4 の実施形態における入力データ、出力データと、制御信号のタイミングを示す図である。図 3 3 は、データが 1 0 ビット、係数が 6 ビットの場合の例であり、データの整数部が 4 ビット、係数の整数部が 2 ビットの場合である。

【 0 1 5 8 】

次に第 4 の実施形態の動作について説明する。図 4 の破線内が、デジタルバイカッドフィルタ 1 0 0 を構成している。バイカッド 1 0 0 は、多段に縦続接続して用いられることが多いため、図には、前後の段のバイカッド回路の一部も示してある。

【 0 1 5 9 】

バイカッド内部では、クリップ回路 1 0 の出力 w とシフトレジスタ 7 b の出力に、それぞれ係数器 8 a、8 b によって、あらかじめ定められた係数が乗じられ、それらの出力は加算器 9 a で加算される。加算器 9 a の出力と制御信号 q とは加算器 9 e で加算される。制御信号 q は、加算器 9 a の出力に対して、LSB（最下位ビット）より下の部分を四捨五入する役目をしている。前述のように、こ

の操作を丸め (rounding) と呼ぶ。加算器 9 e の出力と入力データとは加算器 9 d で加算される。加算器 9 d の出力は、アンドゲート 6 によって、制御信号 m と論理和をとられ、1 ビットレジスタ 7 d へと入力される。制御信号 m は、加算器 9 d の出力から、データ長に等しい長さのビット列を切り出す役目をしている。1 ビットレジスタ 7 d の出力は、シフトレジスタ 7 a へと入力される。シフトレジスタ 7 a の出力 t は、クリップ回路 1 0 に入力される。また、クリップ回路 1 0 の出力 w とシフトレジスタ 7 b の出力、それにシフトレジスタ 7 c の出力には、それぞれ係数器 8 c、8 d、8 e によって、あらかじめ定められた係数が乗じられ、8 d と 8 e の出力は加算器 9 c で、係数器 8 c の出力と加算器 9 c の出力とは加算器 9 b で加算され、出力データとして次の段に送られる。

【 0 1 6 0 】

上記クリップ回路 1 0 には、例えば、図 2 1 に示す回路が用いられる。クリップ回路 1 0 には、入力信号 t、正負のオーバーフロー検出信号 u と v、図 3 3 に示したタイミングで変化する制御信号 n、o、p、s が入力されている。このクリップ回路 1 0 の作用によって、信号 w は、正のオーバーフロー時には正の最大値の $1/2$ に、負のオーバーフロー時には負の最大値の $1/2$ に、強制的にクリップされる。

【 0 1 6 1 】

上記オーバーフロー検出信号 u、v は、オーバーフロー検出器 1 4 によって生成される。オーバーフロー検出器には、係数器 8 a、8 b の出力 a、b と、加算器 9 a のキャリー出力 f と、加算器 9 d のキャリー出力 i と、加算器 9 e のキャリー出力 j と、前段のバイカッドの係数器 8 c、8 d、8 e の出力 c、d、e と、同じく前段の加算器 9 b、9 c のキャリー出力 g、h と、アンドゲート 6 の出力 k と、1 ビットレジスタ 7 d の出力 l が入力されている。これら全ての入力をデコードして、正負のオーバーフロー検出信号 u、v を得る。

【 0 1 6 2 】

図 2 0 は、第 4 の実施形態に使用されるオーバーフロー検出器 1 4 の例である。

【 0 1 6 3 】

図 2 0 で、6 と 2 3 はアンドゲート、1 6 はインバータ、1 7 は全加算器、2 0 は半加算器、2 1 はオアゲート、2 2 はノアゲートである。

【0 1 6 4】

図 2 0 の回路は、図 1 6 の回路を包含している。図 2 0 の回路は、図 1 6 の回路の検出する正負のオーバーフローに加えて、信号 k 、 l の値により、次のような動作をする。

【0 1 6 5】

- | | |
|--|----------------|
| (a) 真の和 $Z > 0$ のとき | $u = 1, v = 0$ |
| (b) 真の和 $Z < (-1)$ のとき | $u = 0, v = 1$ |
| (c) 上記 (b) 以外で、 $k = 0$ かつ $l = 1$ のとき | $u = 1, v = 0$ |
| (d) 上記 (a) 以外で、 $k = 1$ かつ $l = 0$ のとき | $u = 0, v = 1$ |
| (e) 上記 (a) から (d) のどれにもあてはまらないとき | $u = 0, v = 0$ |

ただし、真の和 Z は、式 [1 5] で求められる。

【0 1 6 6】

図 2 0 の回路は、このような動作により、加算器 9 d の和出力が、データ形式によって定まる正負の最大値の $1/2$ を超えたことを検出する。なお、図の破線で囲んだ部分 1 9 は、図 5 の 1 8 と置き換えても等価である。

【0 1 6 7】

図 4 の実施形態では、レジスタ 7 a、7 d の入力信号をオーバーフロー検出器 1 4 に入力してオーバーフロー検出を行わせると共に、クリップ回路 1 0 との組合せにより、すべての係数器に入力されるデータが、正負の最大値の $1/2$ 以下にクリップされるので、係数の絶対値が 2 よりも小さければ、係数器内部での乗算によるオーバーフローは生じない。しかも、加算器 9 e を挿入して丸め回路を付加することにより、演算結果を四捨五入することができ、その分、フィルター機能の精度を向上させることができる。

【0 1 6 8】

以上 4 つの実施形態では、直列演算によるバイカッドを示したが、並列演算による方式でも、同様の構成でオーバーフローが検出でき、クリップ回路を並列型

にすることで、オーバーフロー振動も防止することができる。また、クリップする値は、正負の最大値またはその $1/2$ に限定されるものではなく、図 30 から 33 のタイミング図に示した制御信号 n のタイミングを変えることで、正負の最大値の 2 のべき乗分の 1、即ち $1/4$ 、 $1/8$ などに設定できる。

【0169】

尚、本発明は上記実施形態に限定されることなく、その要旨を逸脱しない範囲において、具体的な構成、機能、作用、効果において、他の種々の形態によっても実施することができる。

【0170】

【発明の効果】

以上詳細に説明したように、本発明のデジタルフィルタによれば、2ビット以上の複数ビットに亙るオーバーフローを検出できると共に、オーバーフロー振動の発生を完全に防止することができる。それ故、本例のデジタルバイカッドフィルタを電話の音声系に使用することにより、ノイズの無い、聞きやすい音声を得ることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示す図である。

【図2】

本発明の第2の実施形態を示す図である。

【図3】

本発明の第3の実施形態を示す図である。

【図4】

本発明の第4の実施形態を示す図である。

【図5】

本発明の実施形態で用いられるオーバーフロー検出器を示す図である。

【図6】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図7】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 8】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 9】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 1 0】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 1 1】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 1 2】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 1 3】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 1 4】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 1 5】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 1 6】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 1 7】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 1 8】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 1 9】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 2 0】

本発明の実施形態で用いられる別のオーバーフロー検出器を示す図である。

【図 2 1】

本発明の実施形態で用いられるクリップ回路を示す図である。

【図 2 2】

本発明の実施形態で用いられる係数器を示す図である。

【図 2 3】

本発明の実施形態で用いられる加算器を示す図である。

【図 2 4】

本発明の実施形態で用いられるシフトレジスタを示す図である。

【図 2 5】

本発明の実施形態で用いられる 1 ビットレジスタを示す図である。

【図 2 6】

従来のデジタルフィルタで用いられるセレクトアを示す図である。

【図 2 7】

本発明の実施形態で用いられる全加算器を示す図である。

【図 2 8】

本発明の実施形態で用いられる半加算器を示す図である。

【図 2 9】

従来のデジタルフィルタの構成例を示した図である。

【図 3 0】

第 1 の実施形態の信号タイミングを示す図である。

【図 3 1】

第 2 の実施形態の信号タイミングを示す図である。

【図 3 2】

第 3 の実施形態の信号タイミングを示す図である。

【図 3 3】

第 4 の実施形態の信号タイミングを示す図である。

【図 3 4】

一般的なオーバーフロー振動を示す図である。

【図 3 5】

図 2 9 に示した回路におけるオーバーフロー振動を示す図である。

【図 3 6】

本発明の実施形態のデジタルフィルタにおけるオーバーフロー波形を示す図である。

【図 3 7】

第 1 の実施形態における単純和 S 、真の和 Z と、オーバーフローの関係を示す表図である。

【図 3 8】

第 1 の実施形態における単純和 S' 、真の和 Z と、オーバーフローの関係を示す表図である。

【図 3 9】

図 8 における冗長 2 進信号 $P 2$ 、 $P 1 B$ 、 $P 1 A$ 、 $P 0$ とオーバーフローとの関係を示す図である。

【図 4 0】

図 9 における冗長 2 進信号 $P 2'$ 、 $P 1 B'$ 、 $P 1 A'$ 、 $P 0'$ とオーバーフローとの関係を示す図である。

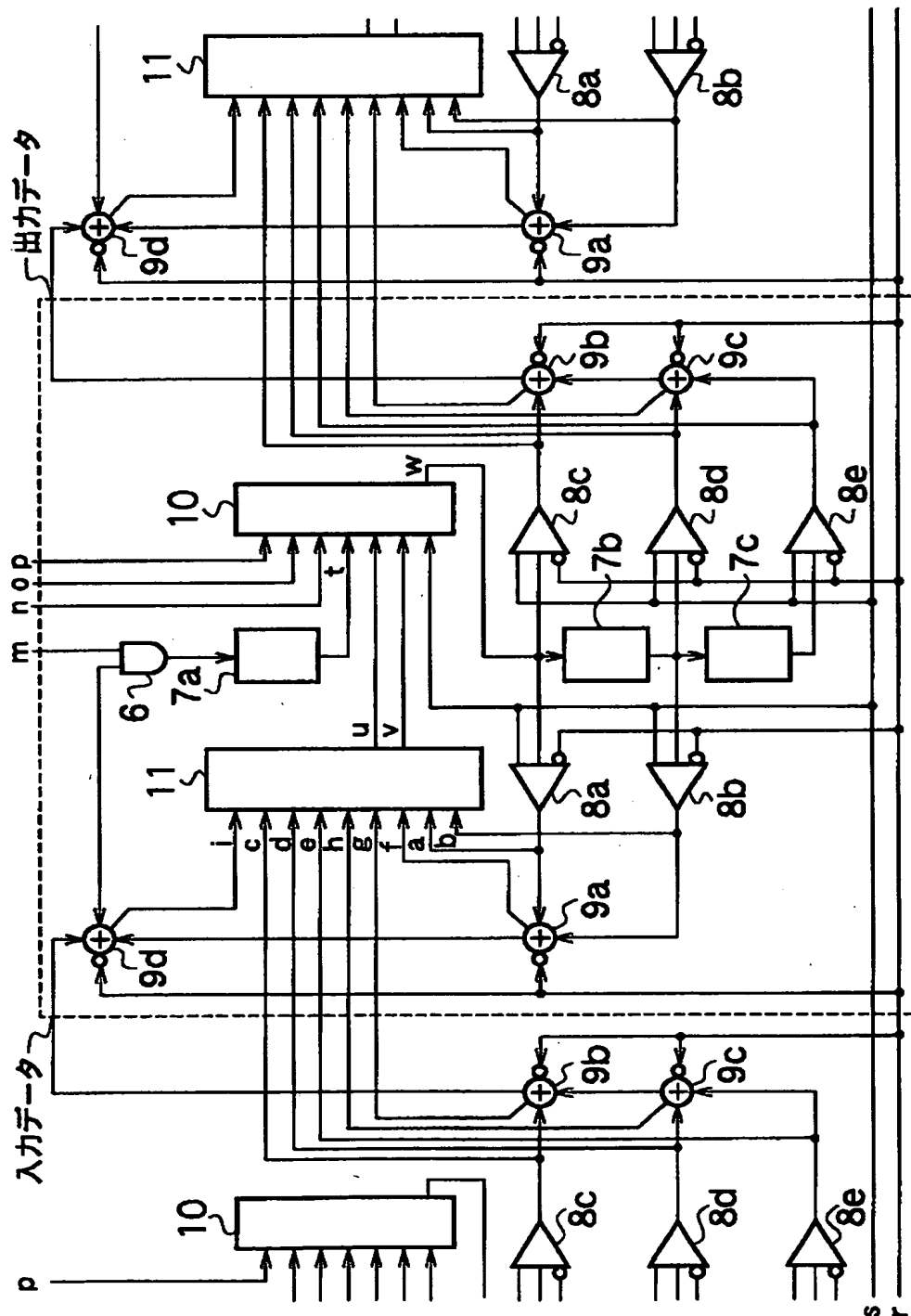
【符号の説明】

- 1 a、1 d、7 d、2 5 1 ビットレジスタ
- 1 b、1 c、1 e、1 f、7 a、7 b、7 c シフトレジスタ
- 2、8 a、8 b、8 c、8 d、8 e 係数器
- 3、9 a、9 b、9 c、9 d、9 e 加算器
- 4 エクスクルーシブノアゲート（一致回路）
- 5 セレクタ
- 6、2 3 アンドゲート
- 1 0 クリップ回路
- 1 1、1 2、1 3、1 4 オーバーフロー検出器
- 1 5、2 1 オアゲート
- 1 6 インバータ
- 1 7 全加算器
- 1 8 1 9 と等価な回路部分
- 1 9 1 8 と等価な回路部分

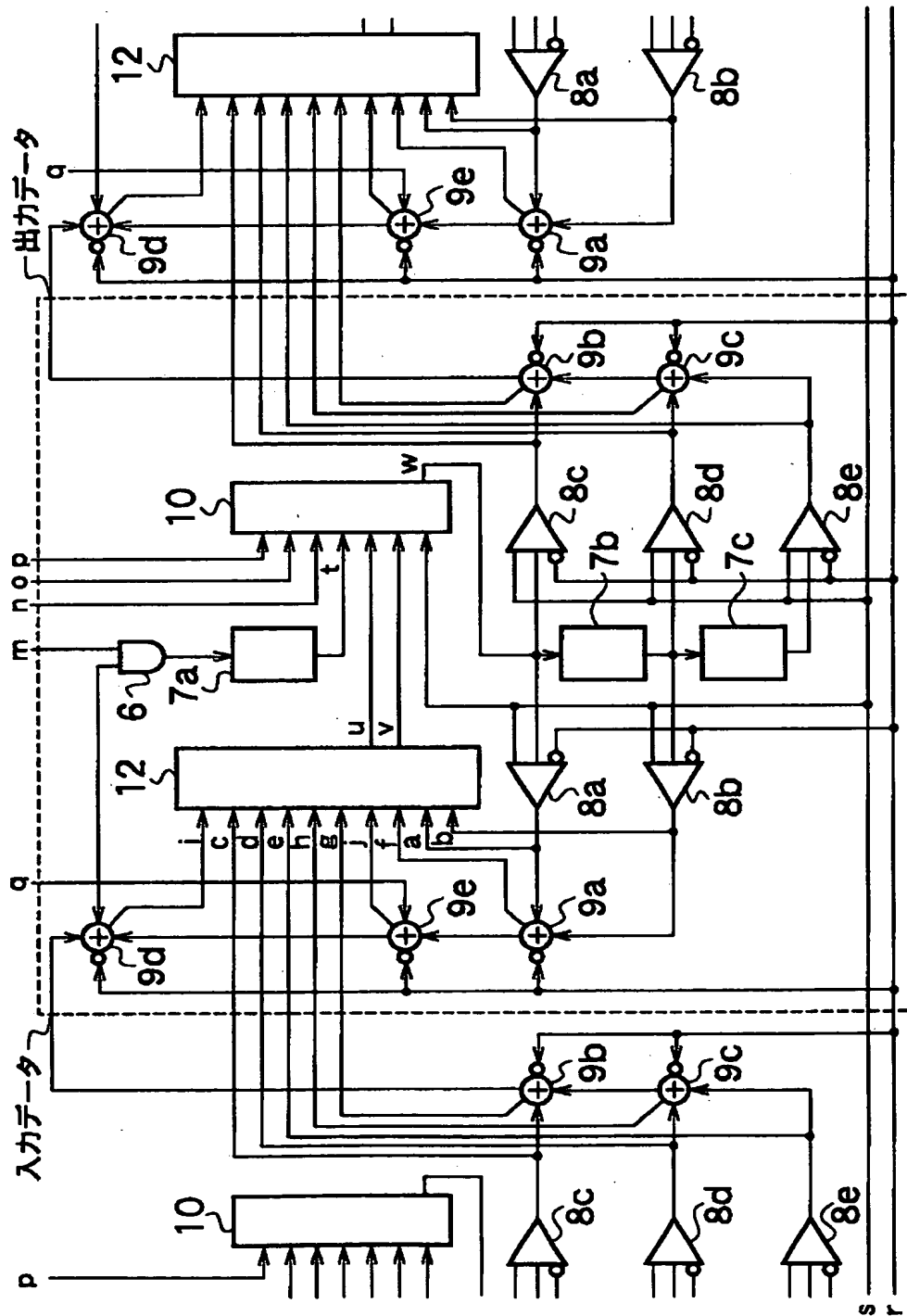
- 2 0 半加算器
- 2 2 ノアゲート
- 2 4 エクスクルーシブオアゲート (排他的論理和)
- 2 6 ナンドゲート
- 2 7 クロックドインバータ

【書類名】 図面

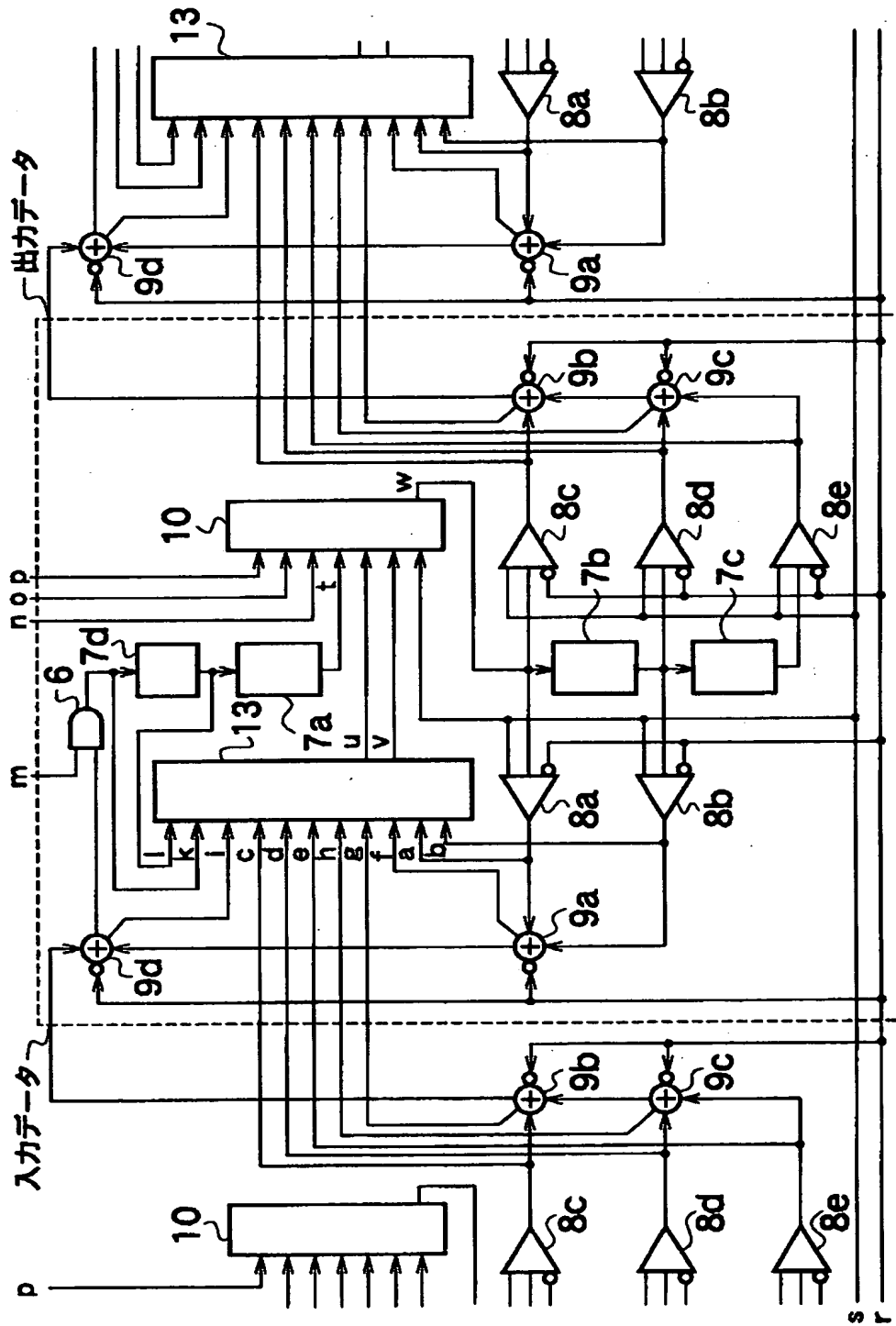
【図 1】



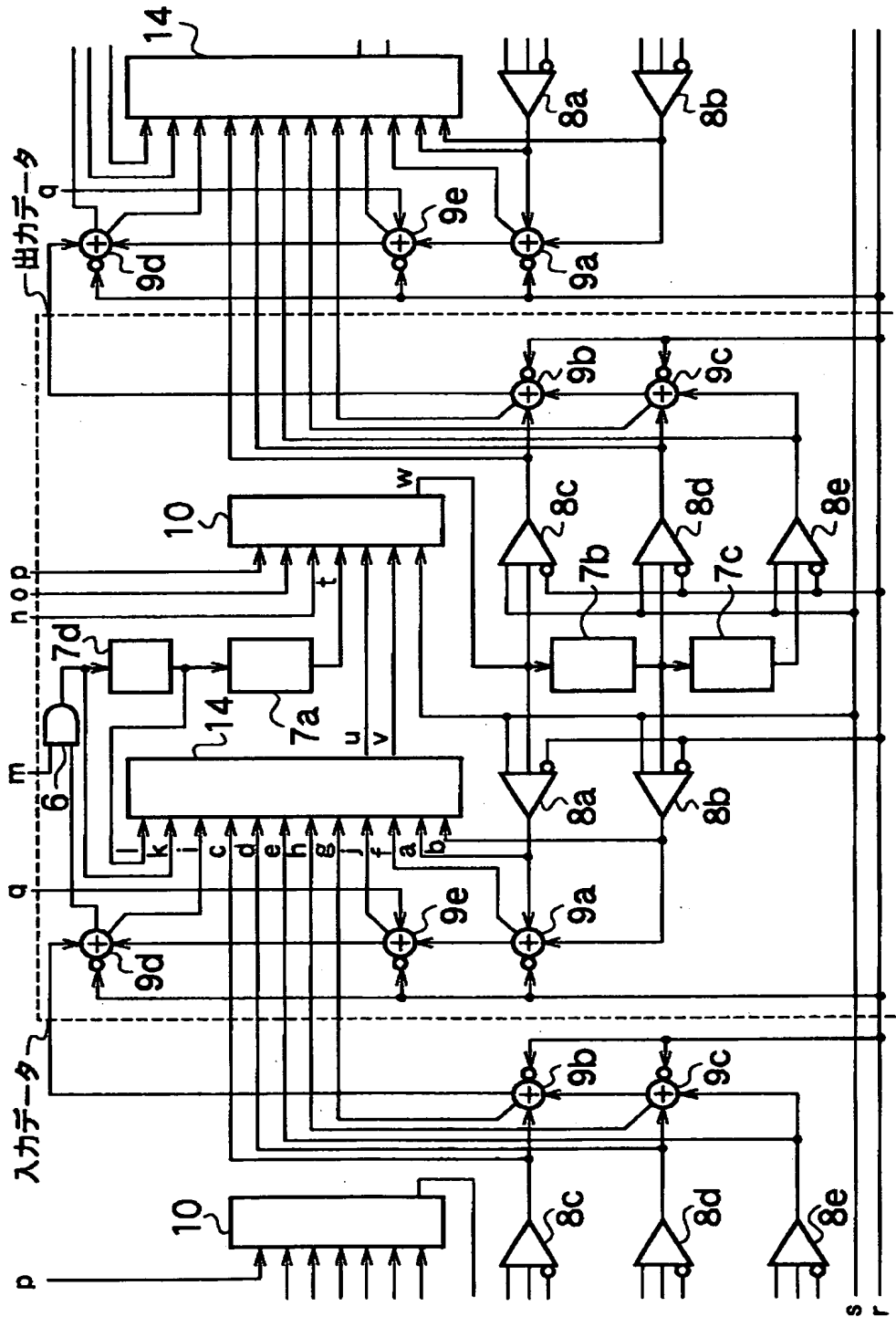
【図 2】



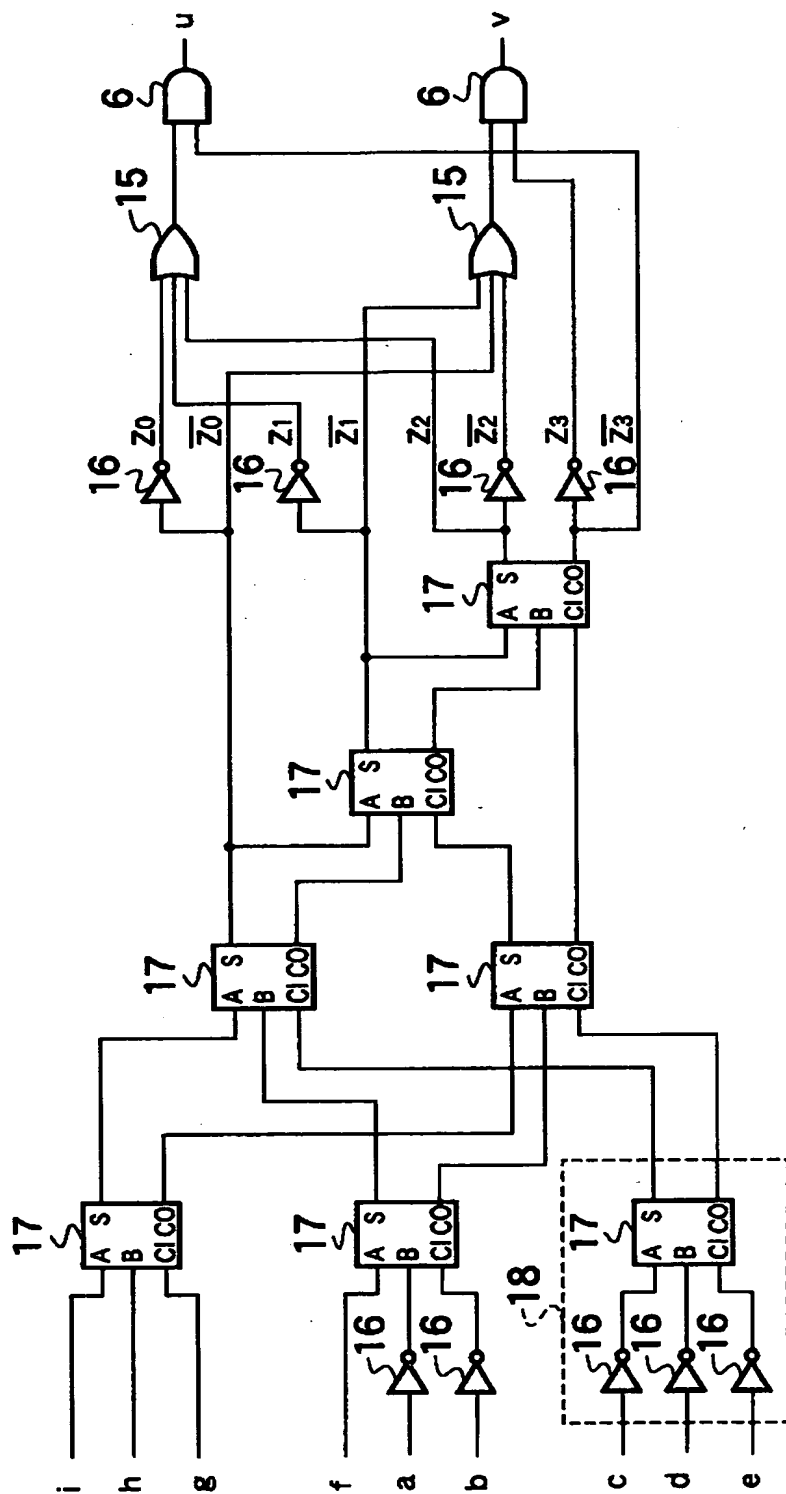
【図 3】



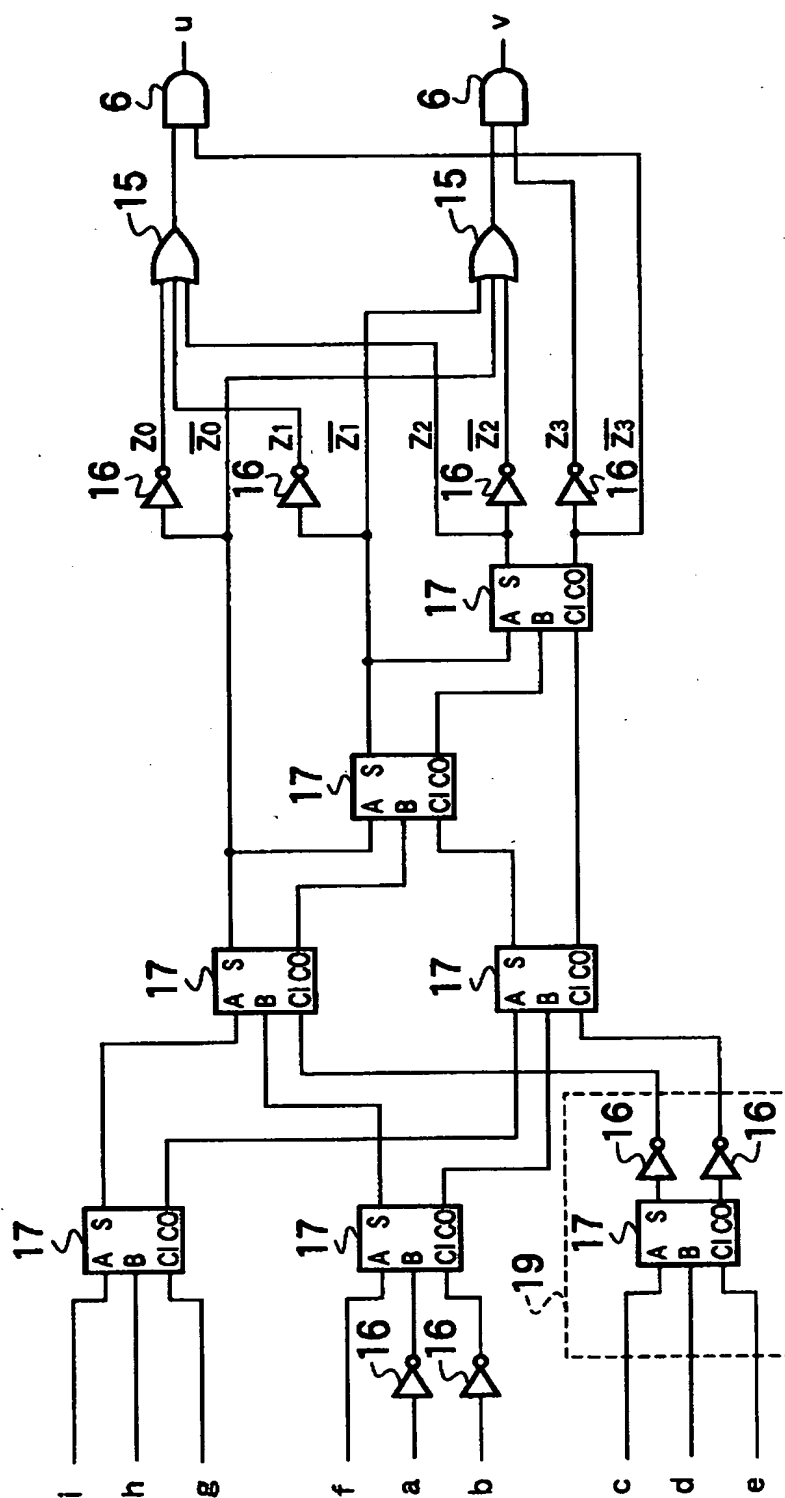
【図 4】



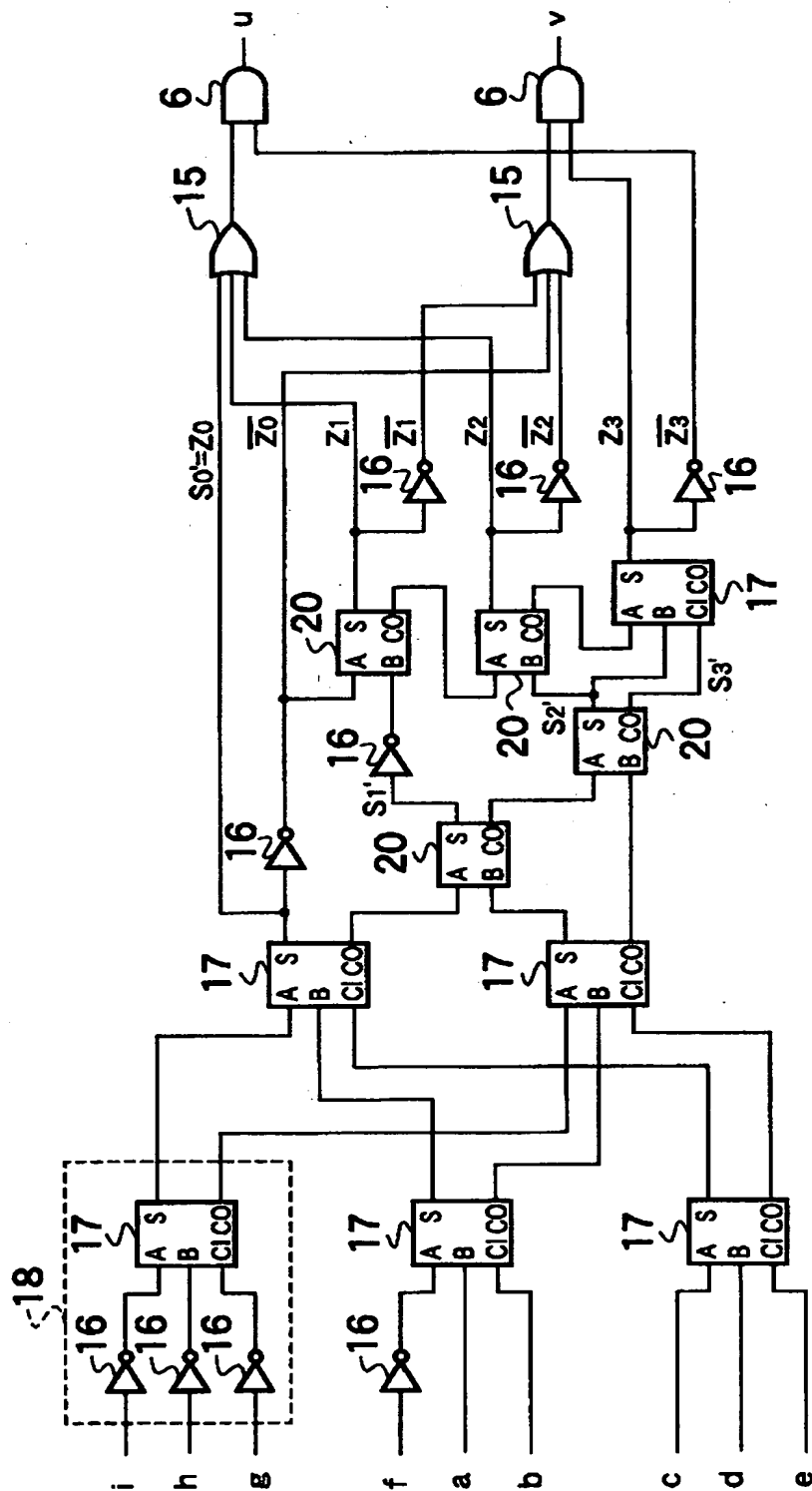
【図5】



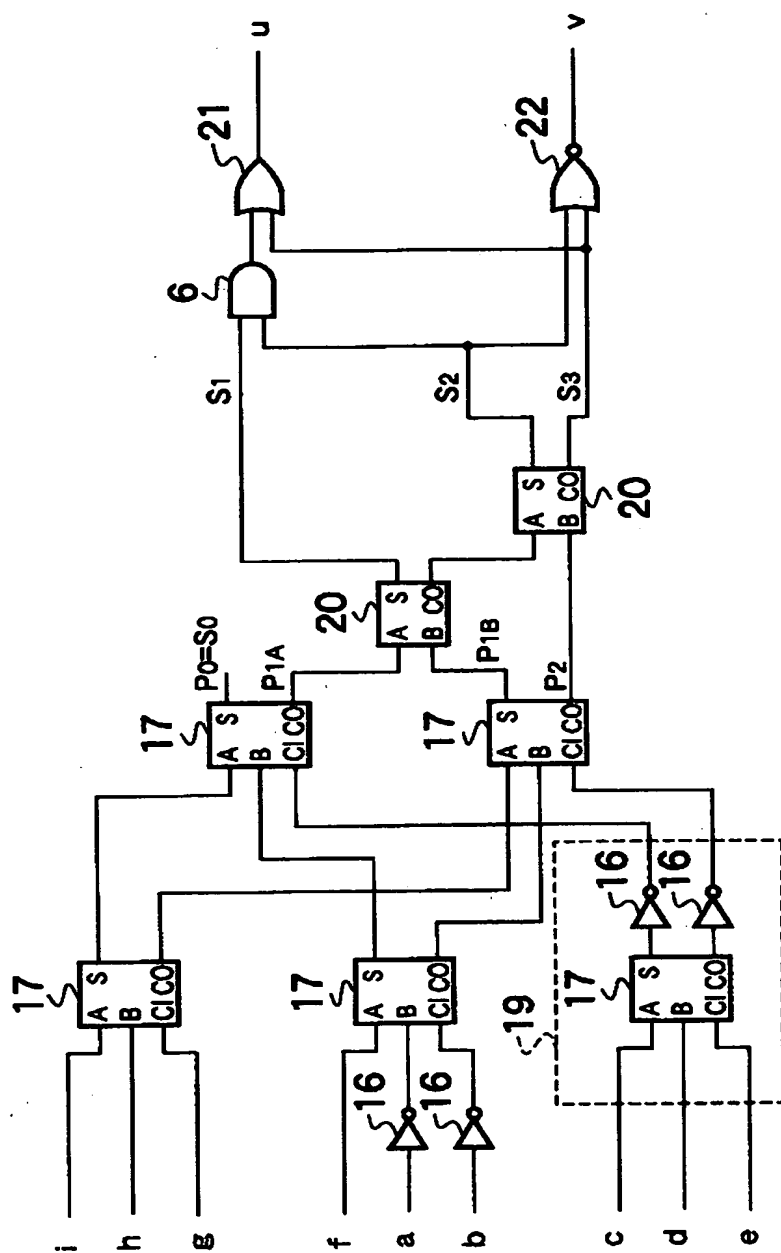
【図6】



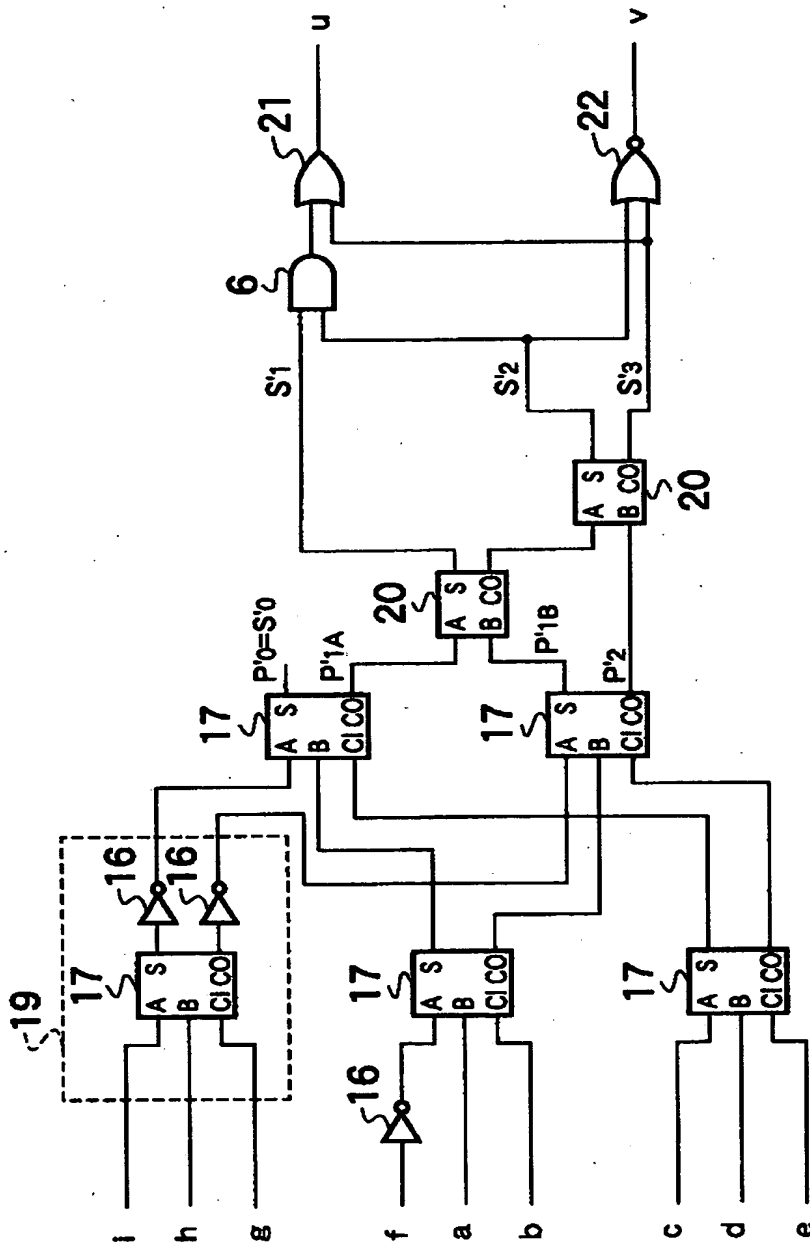
【図 7】



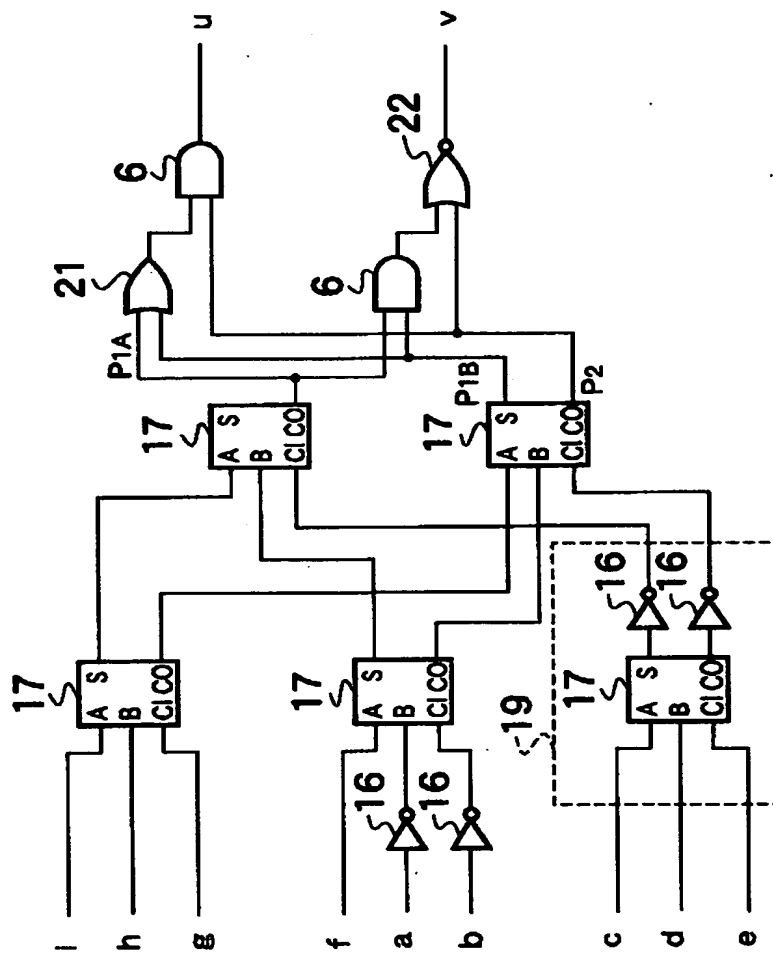
【図 8】



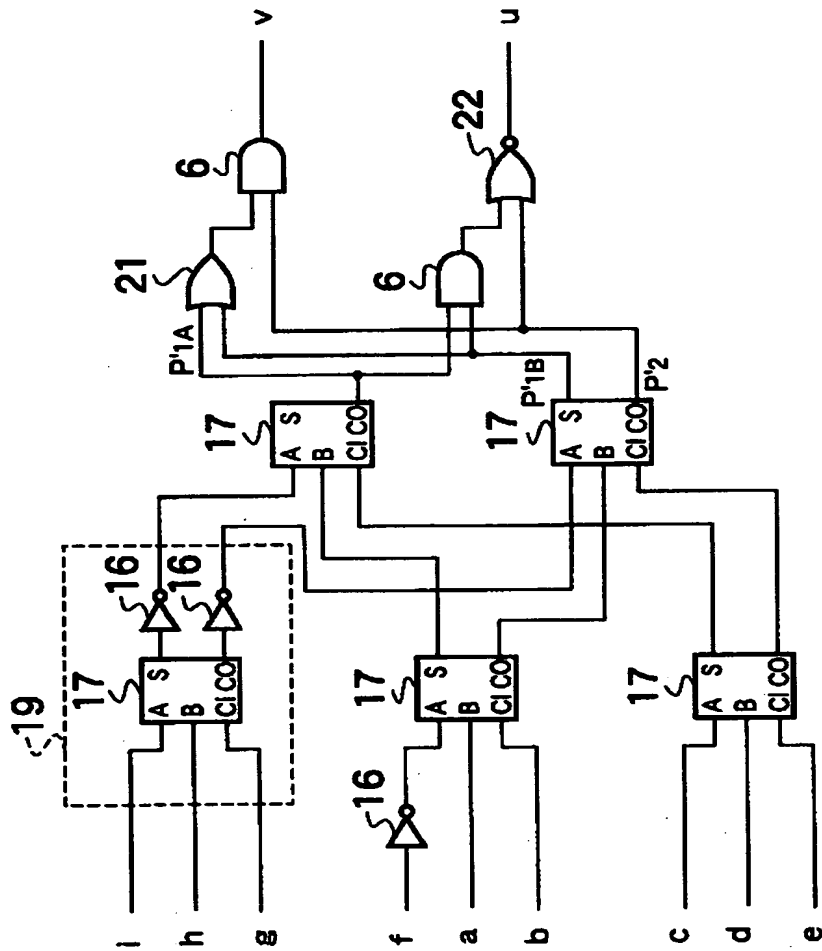
【図9】



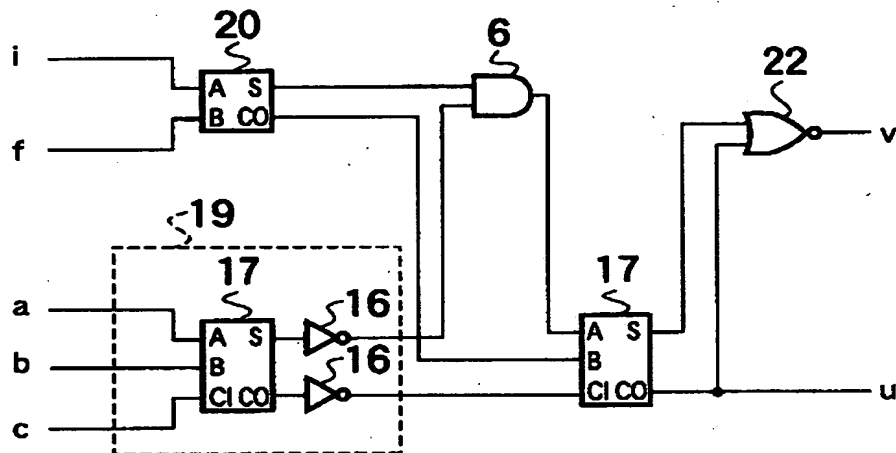
【図 10】



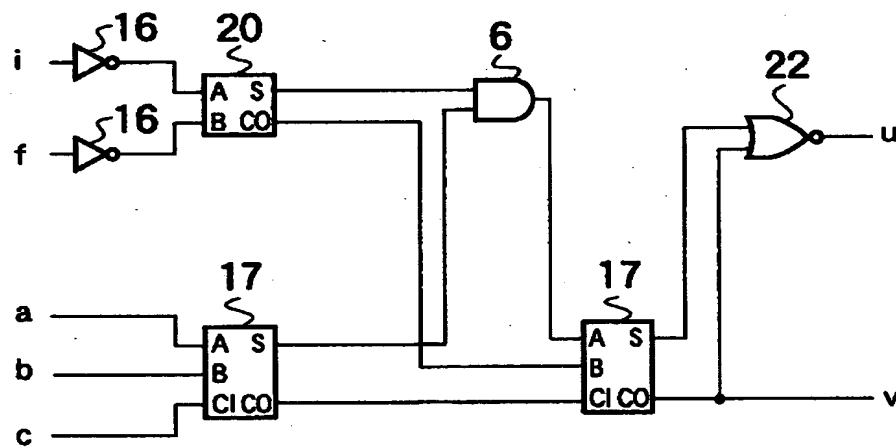
【図 11】



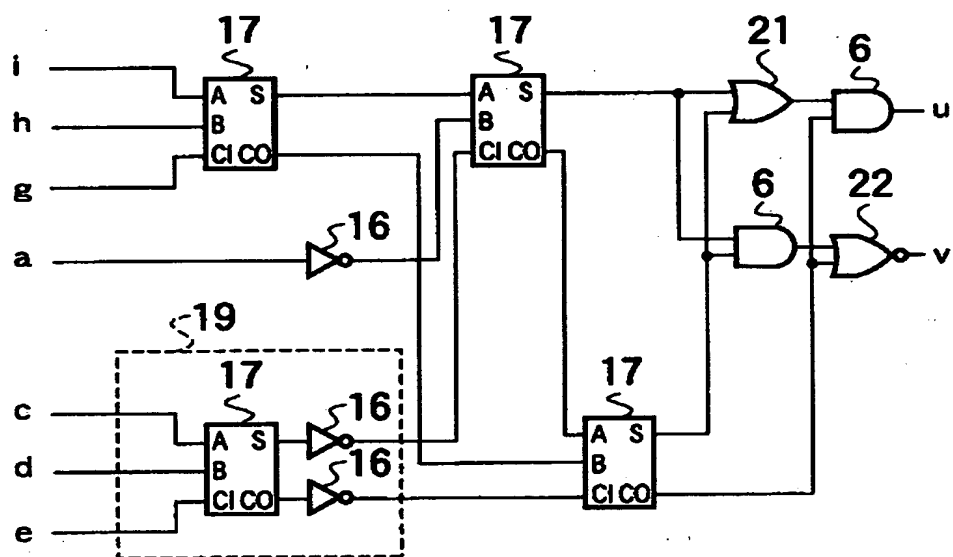
【図 12】



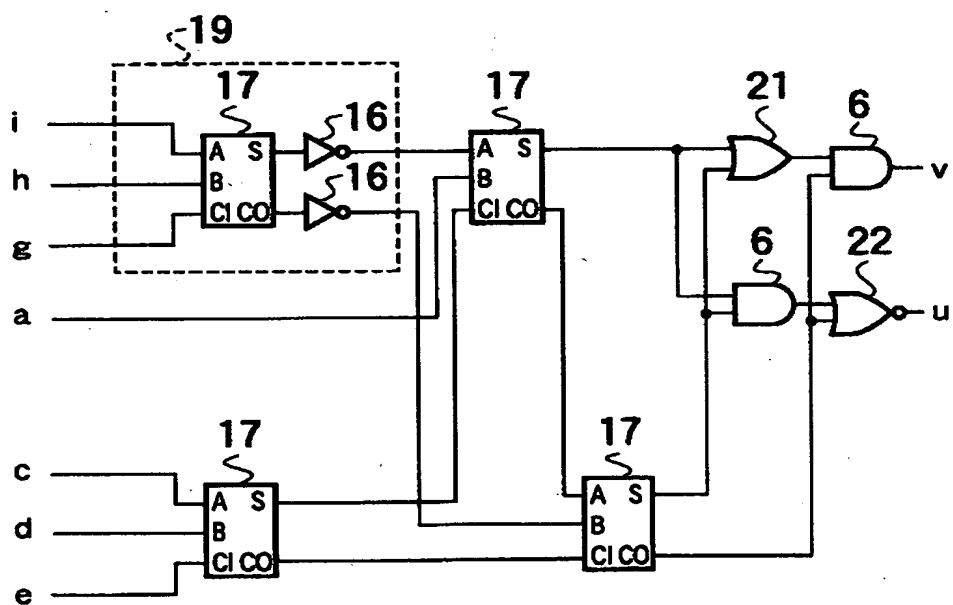
【図 13】



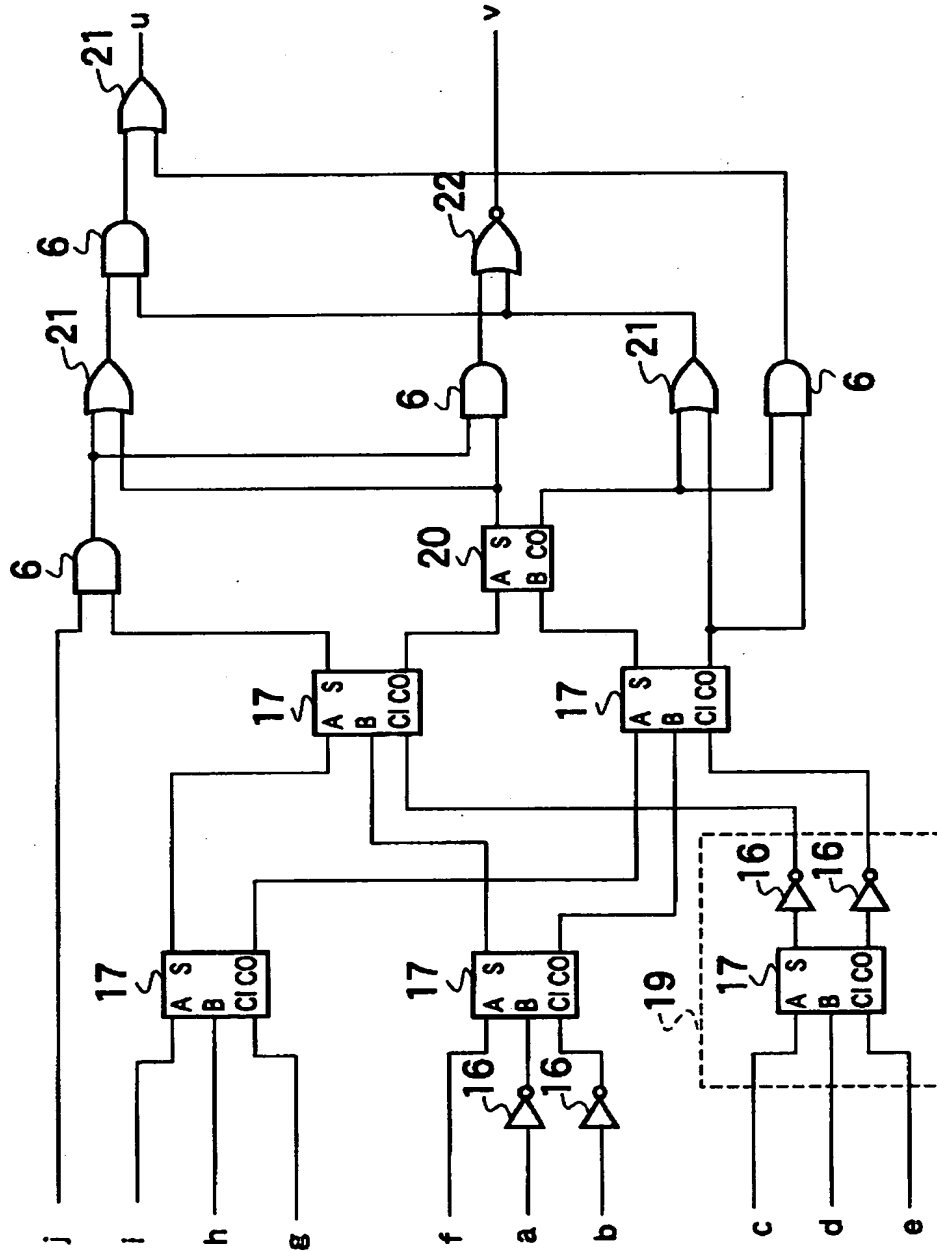
【図 14】



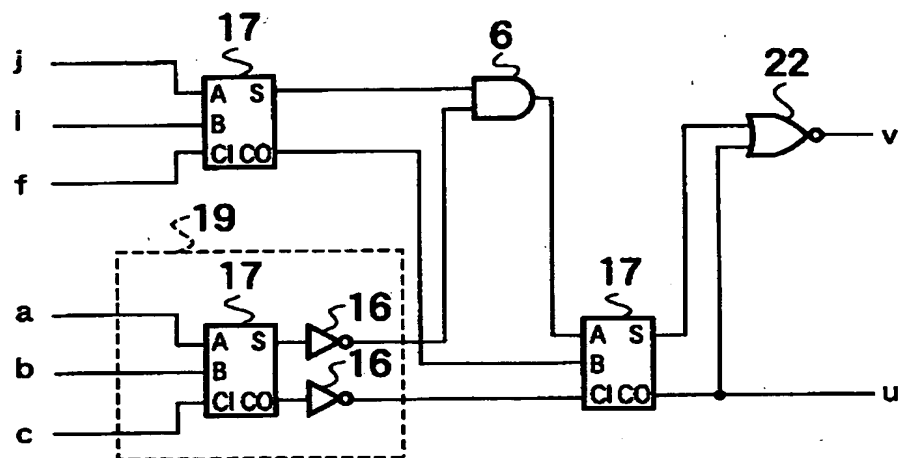
【図 15】



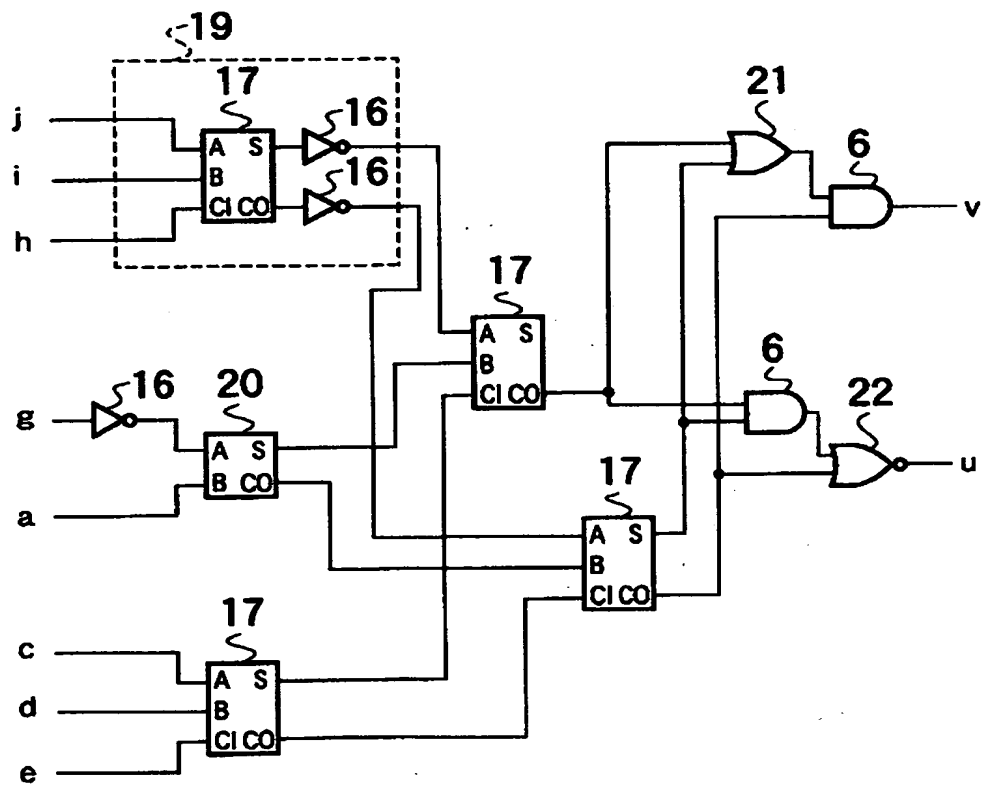
【図 16】



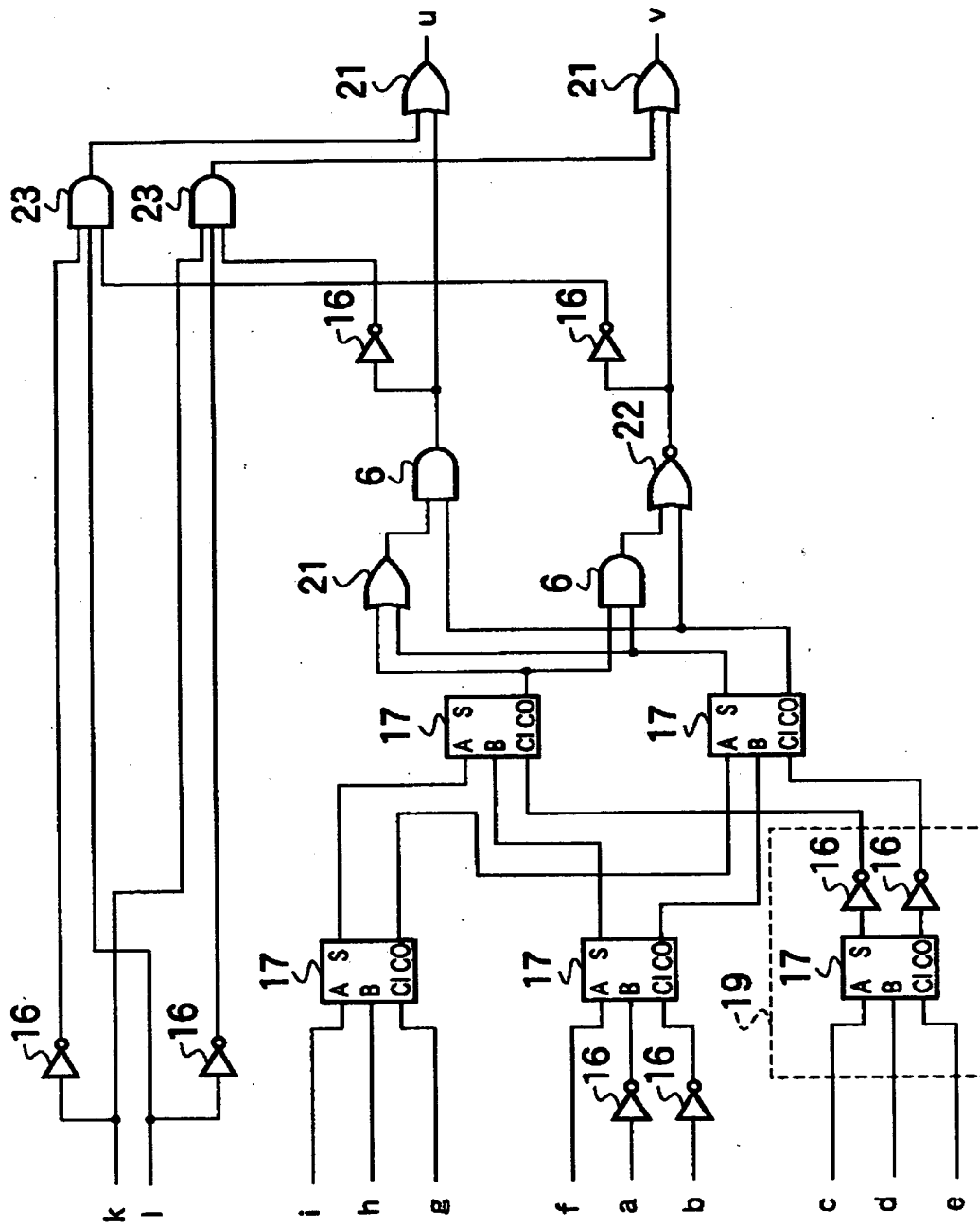
【図17】



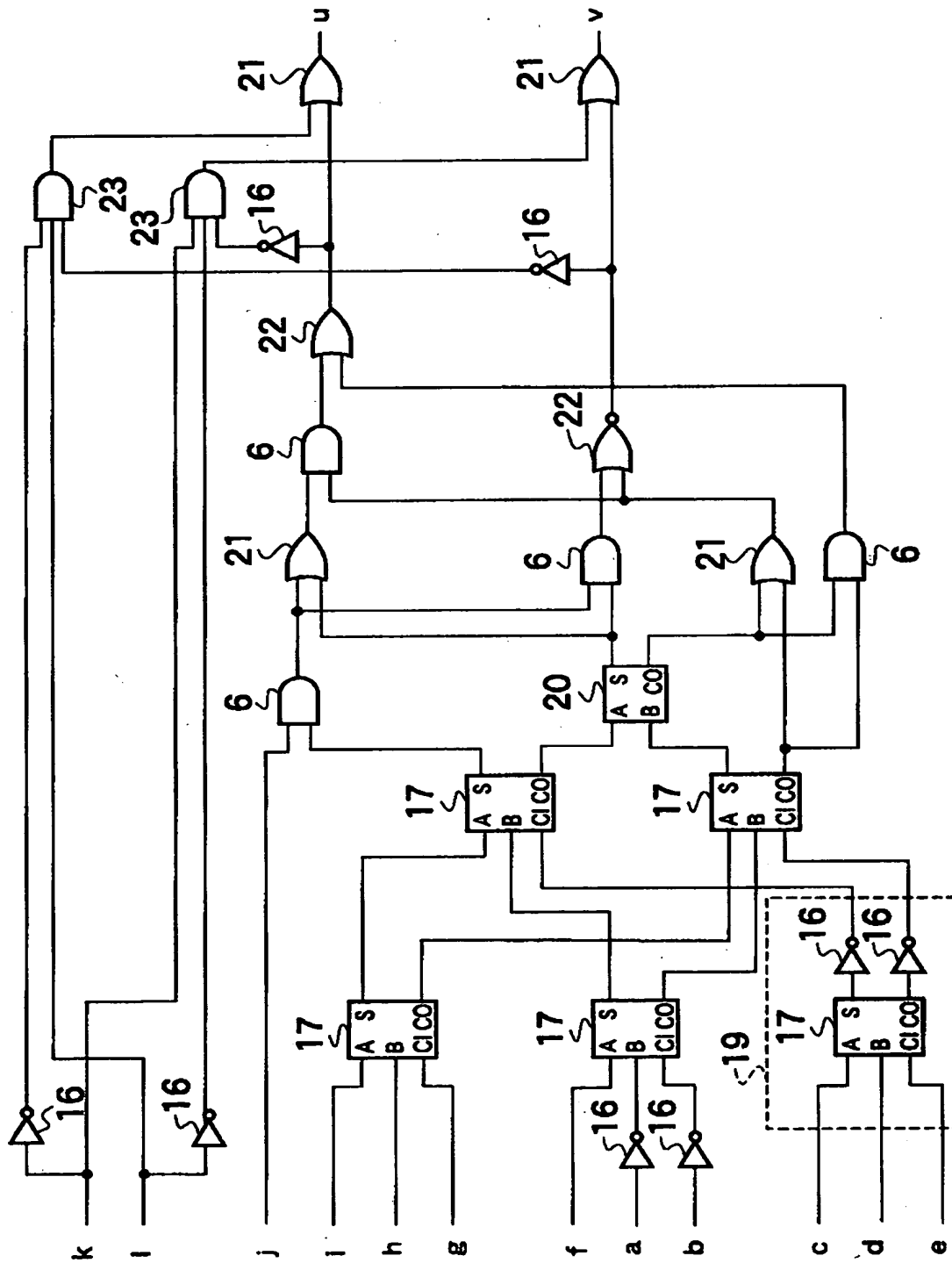
【図18】



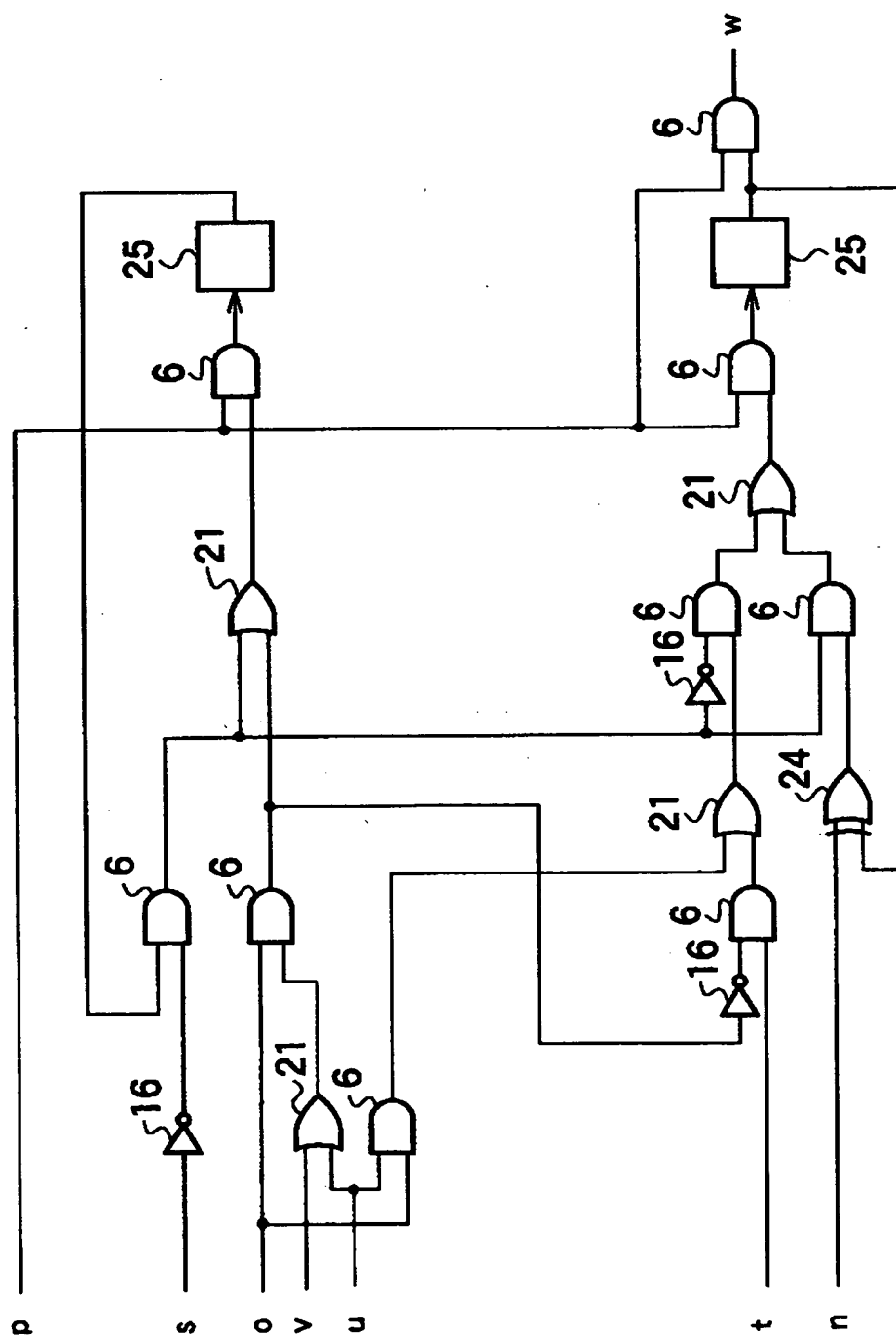
【図19】



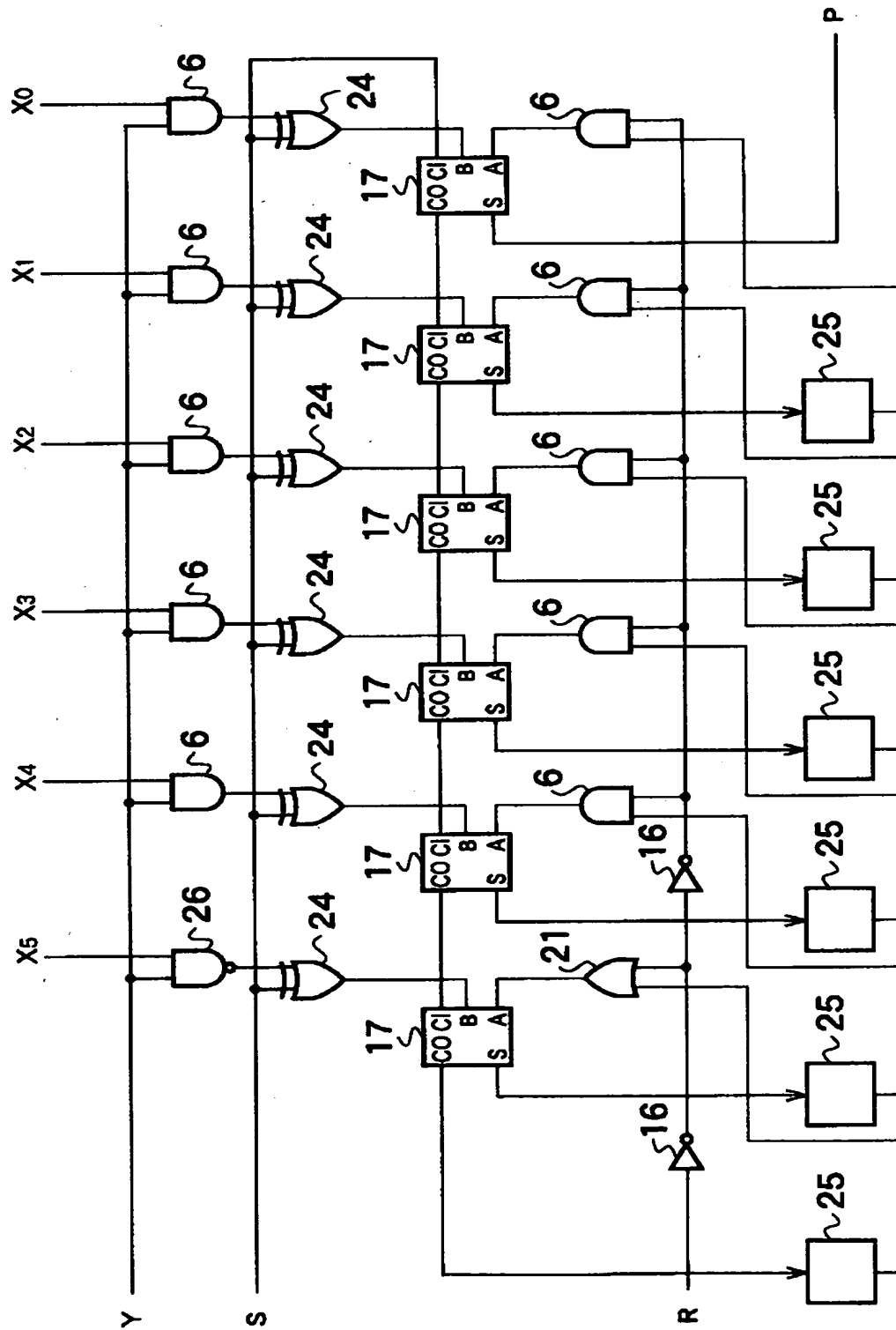
【図20】



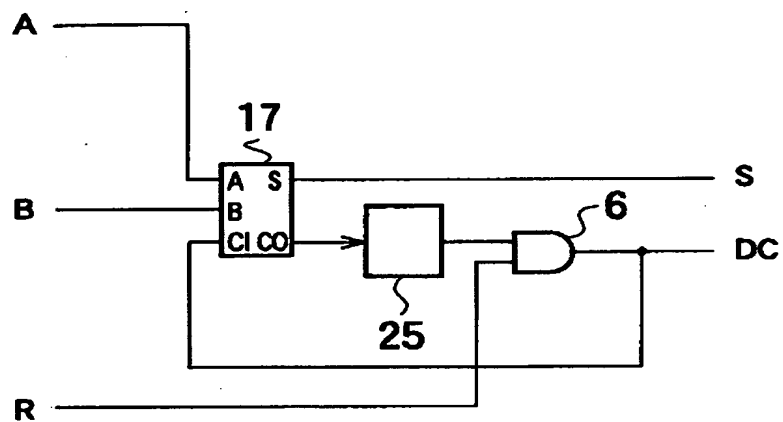
【図 21】



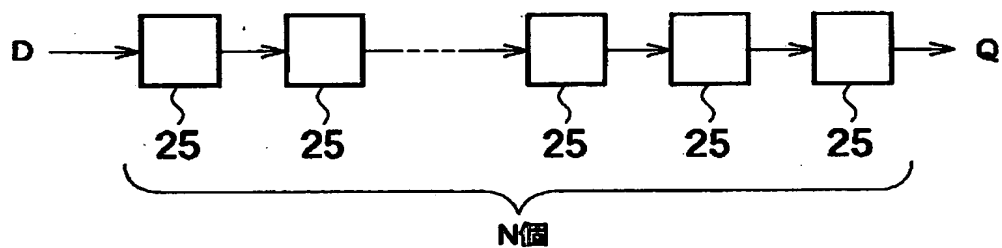
【図 22】



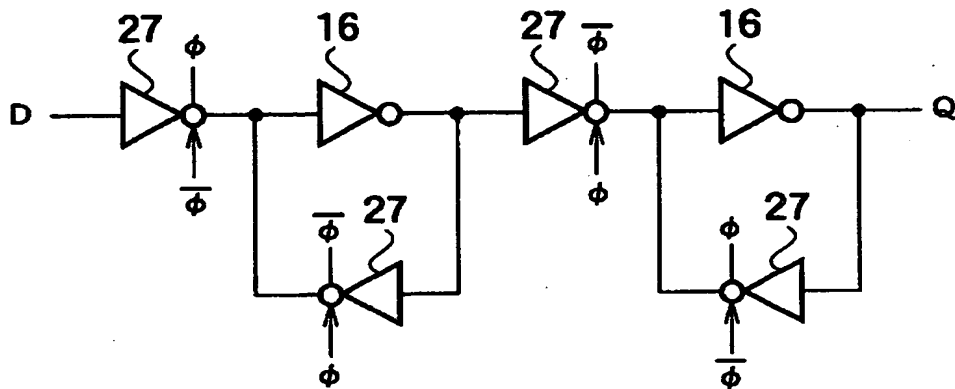
【図 23】



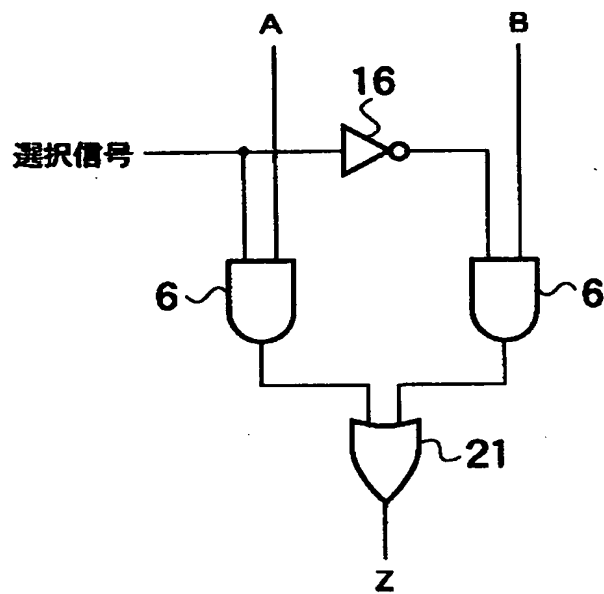
【図 24】



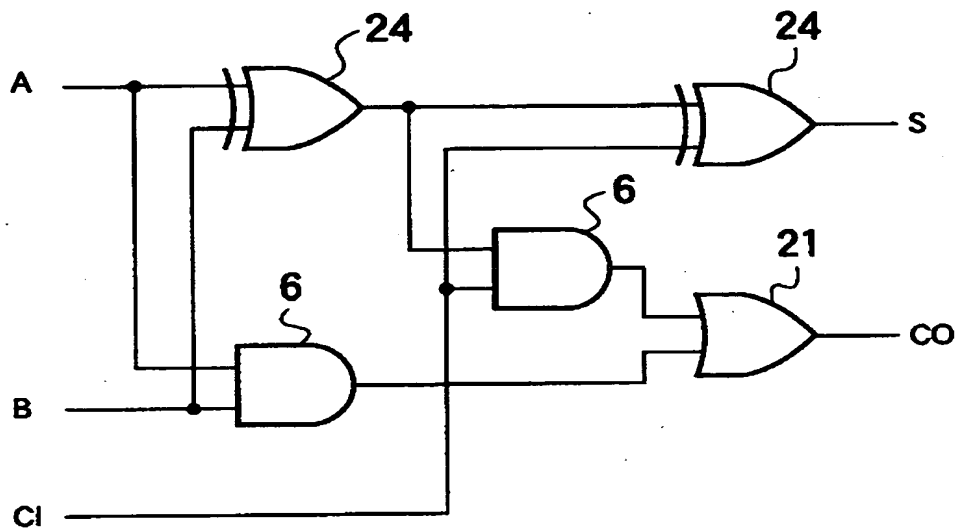
【図 25】



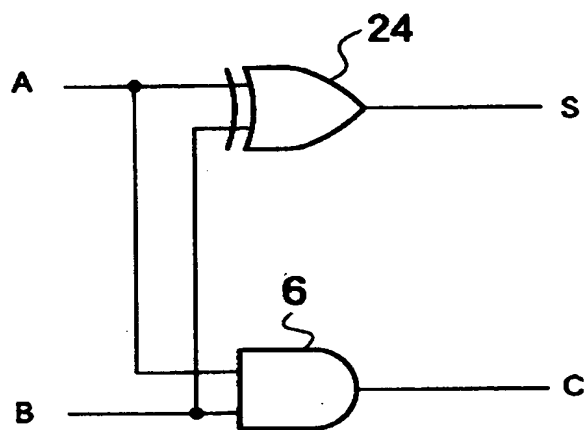
【図 26】



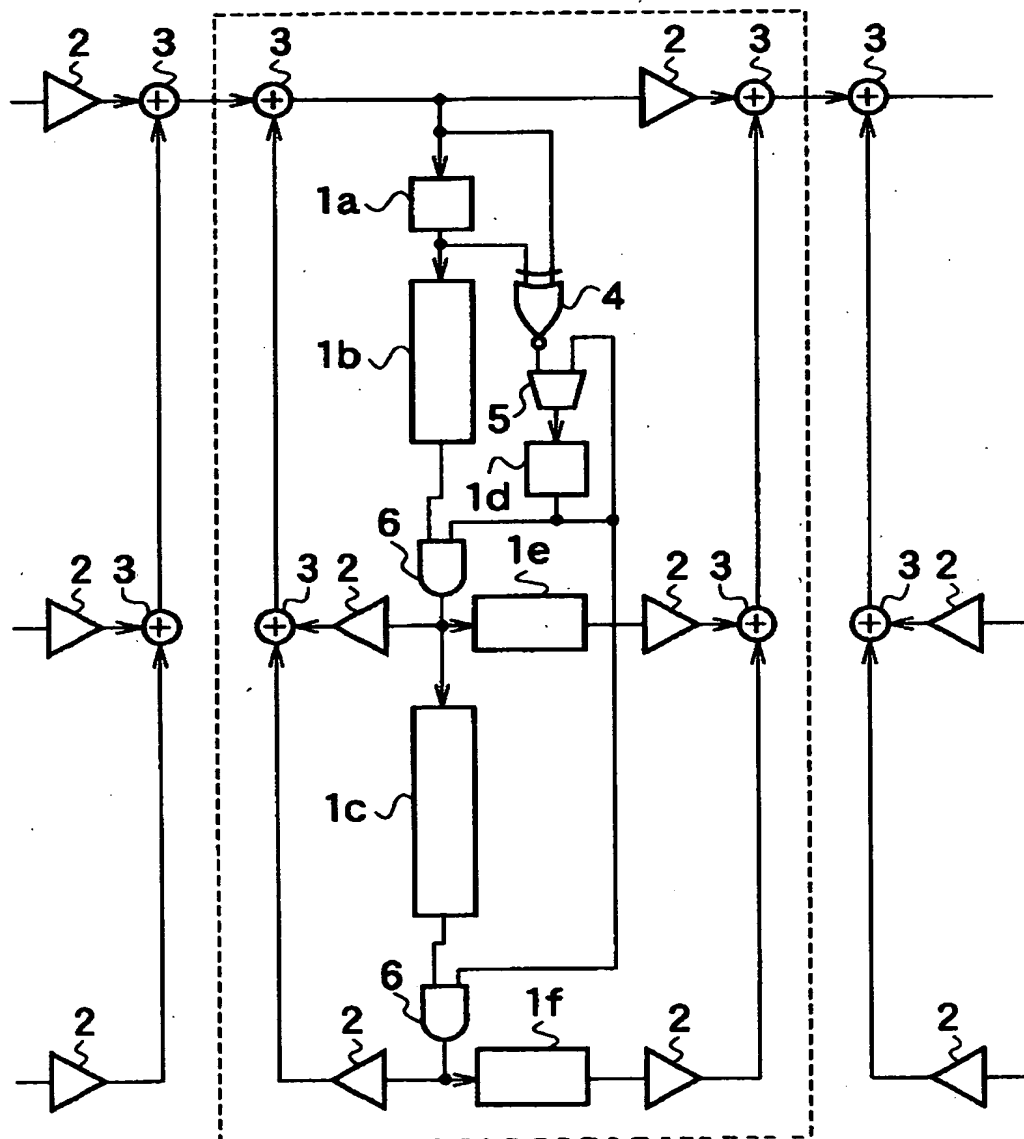
【図 27】



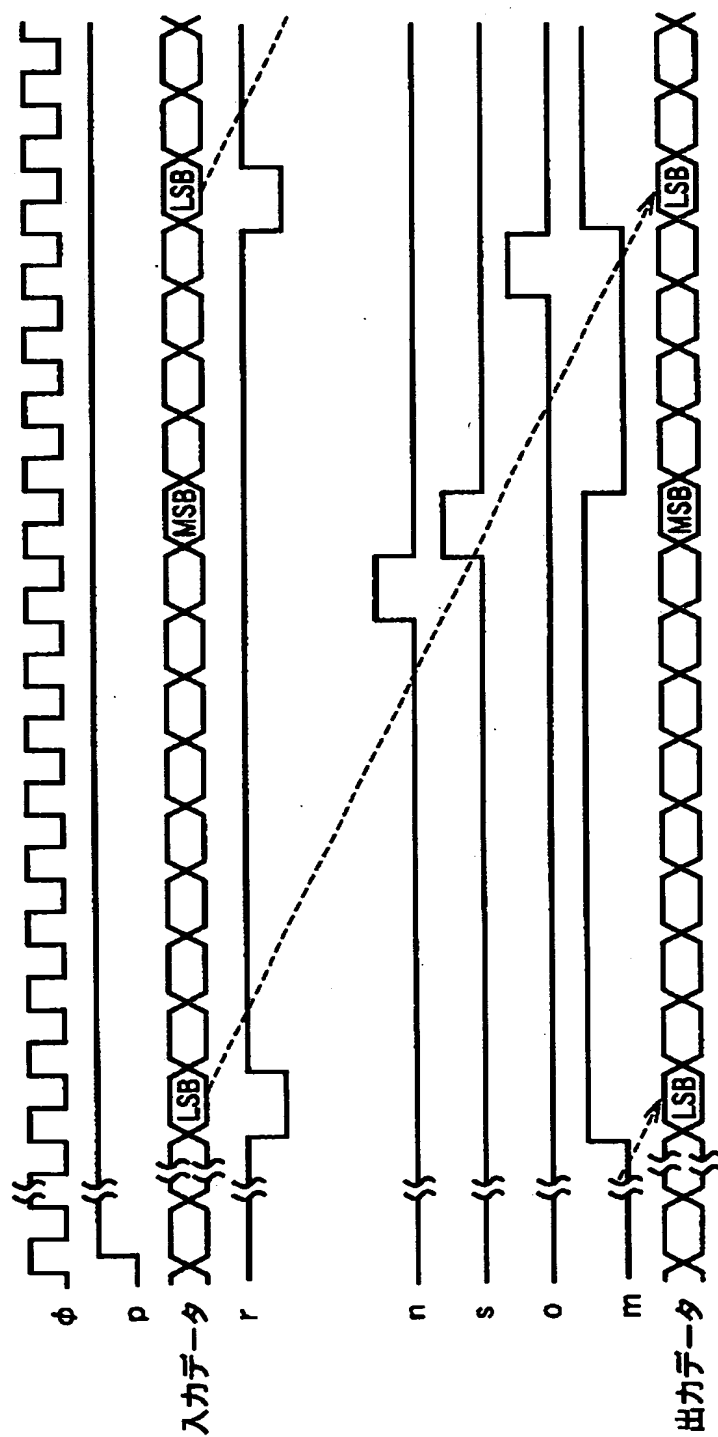
【図 28】



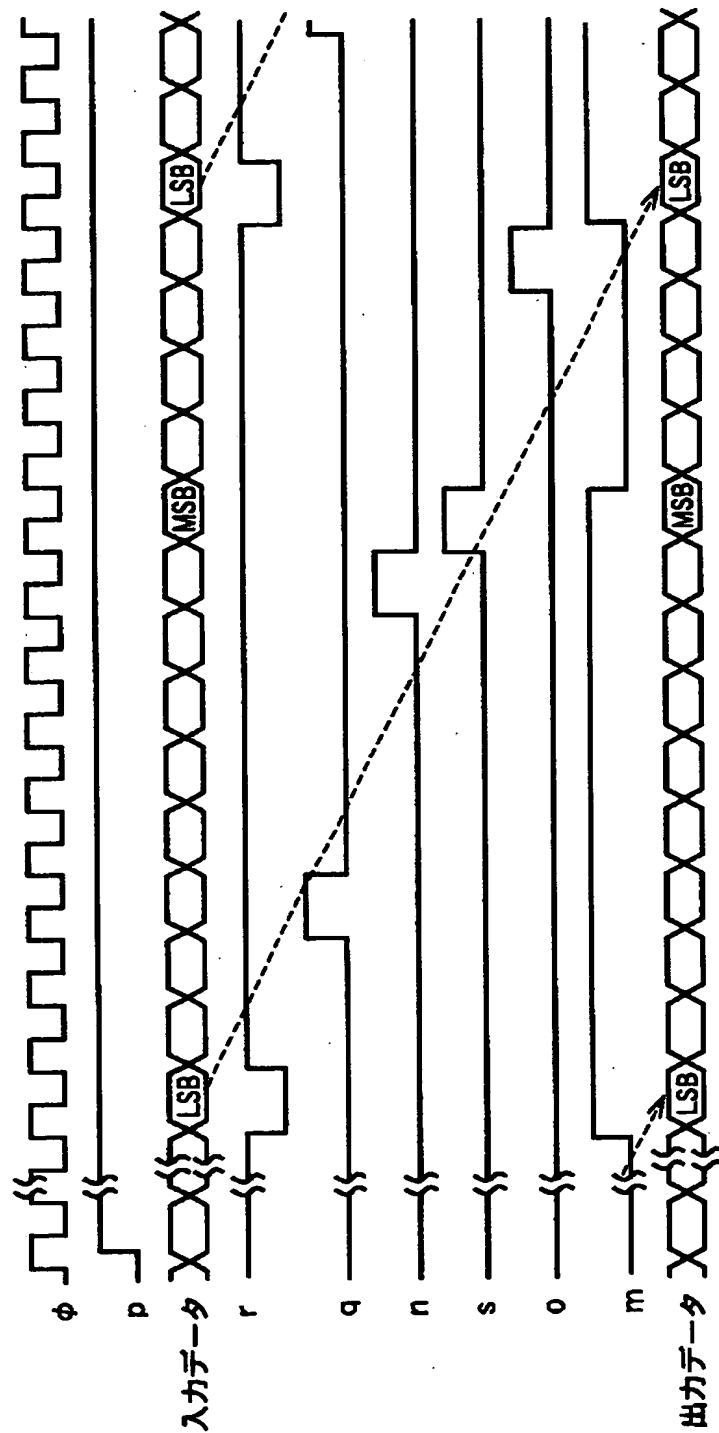
【図 29】



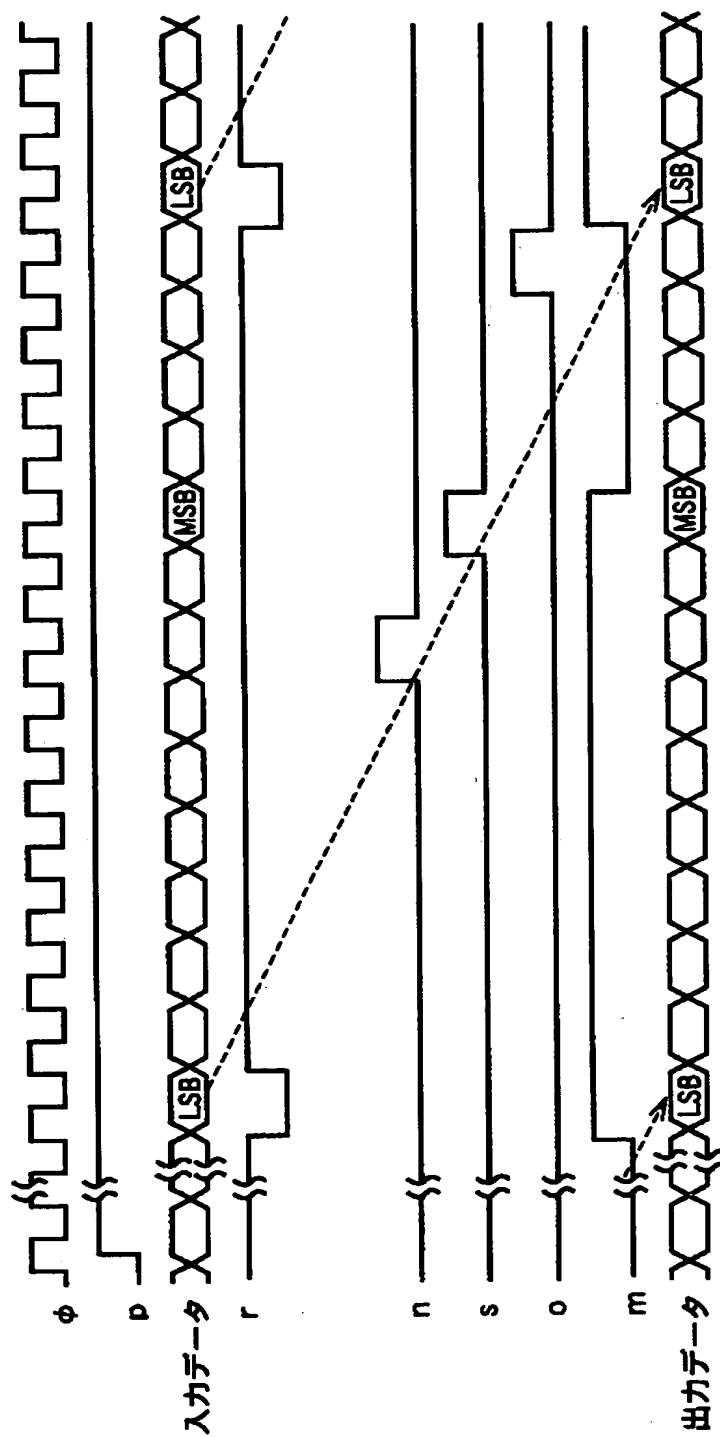
【図 30】



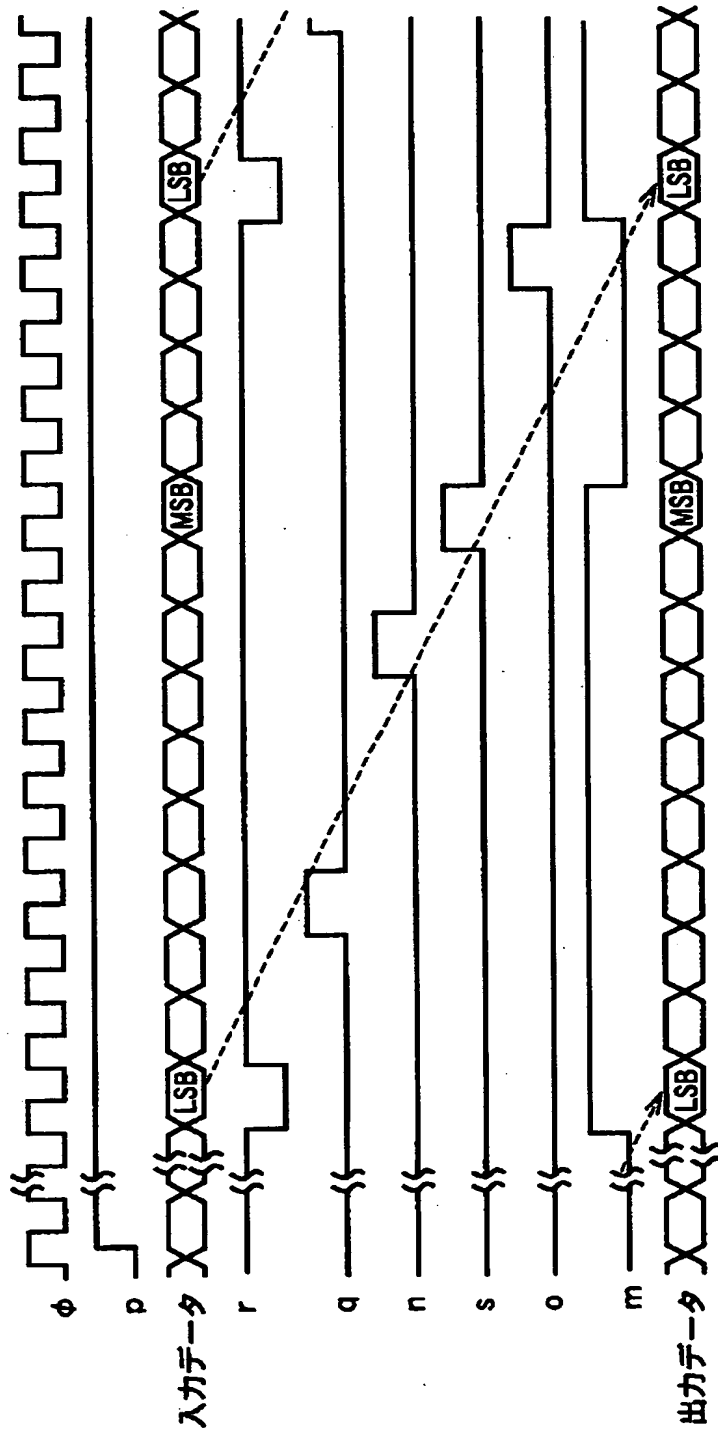
【図 31】



【図 32】

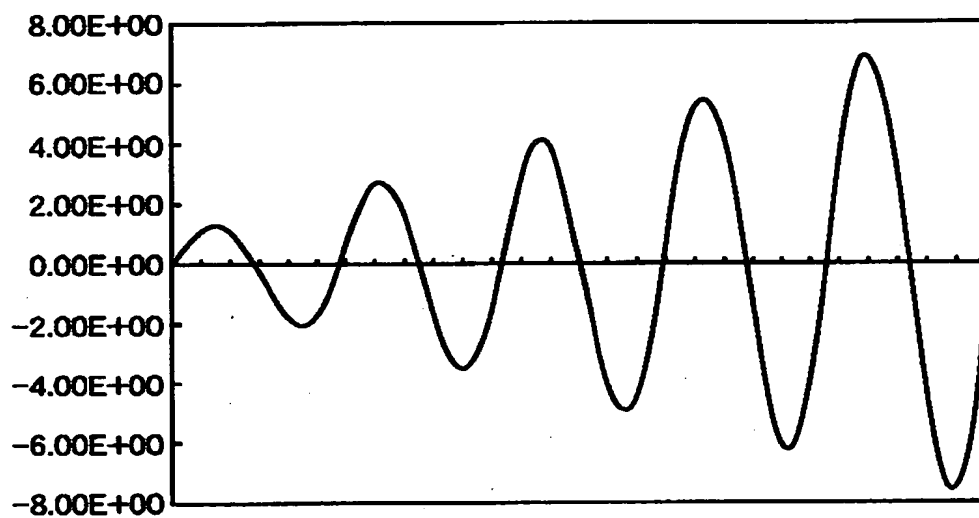


【図 33】

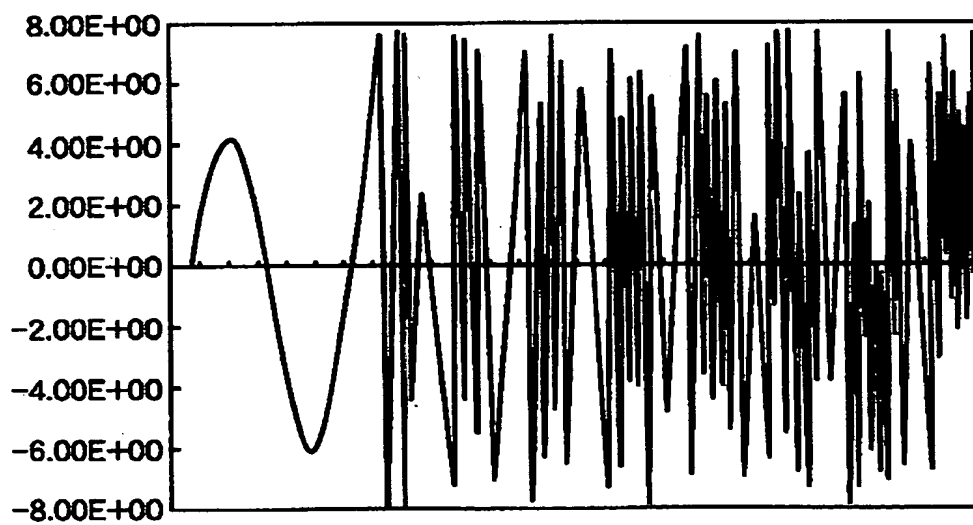


【図34】

(a)

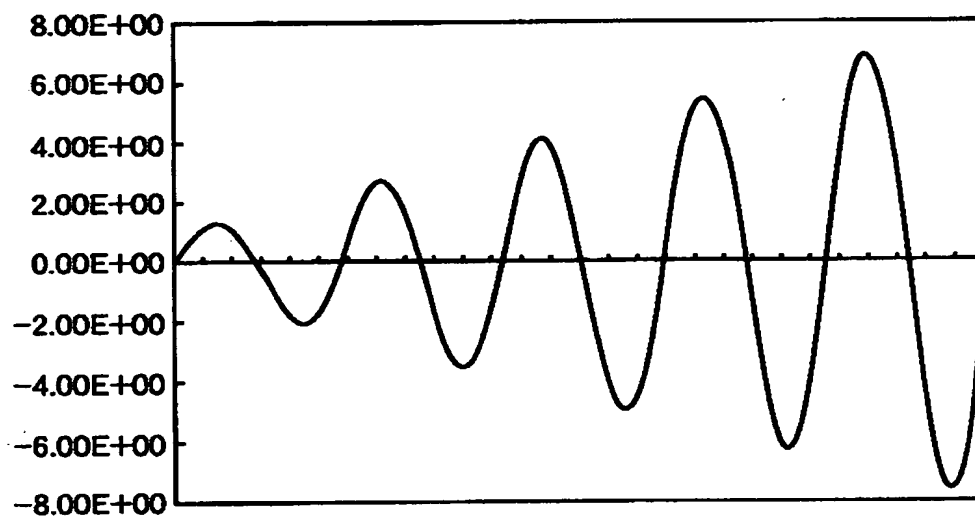


(b)

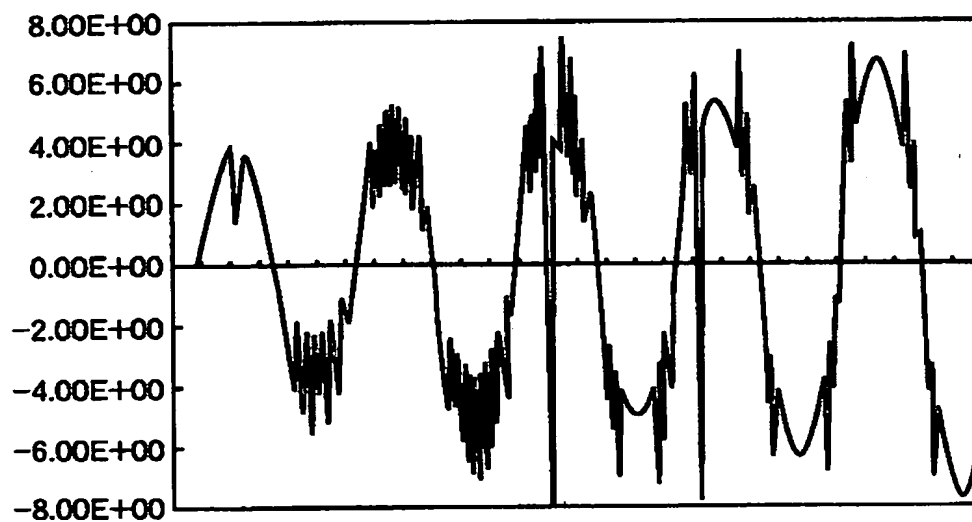


【図 3 5】

(a)

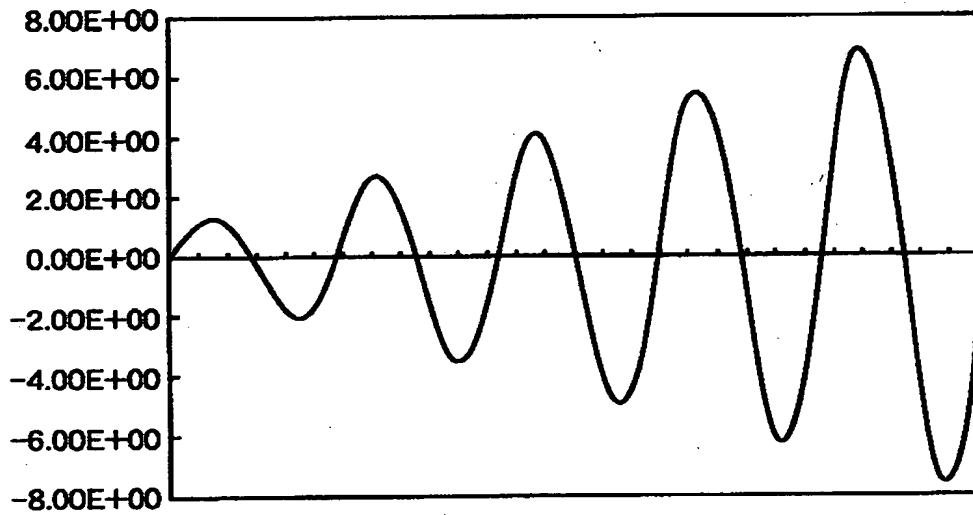


(b)

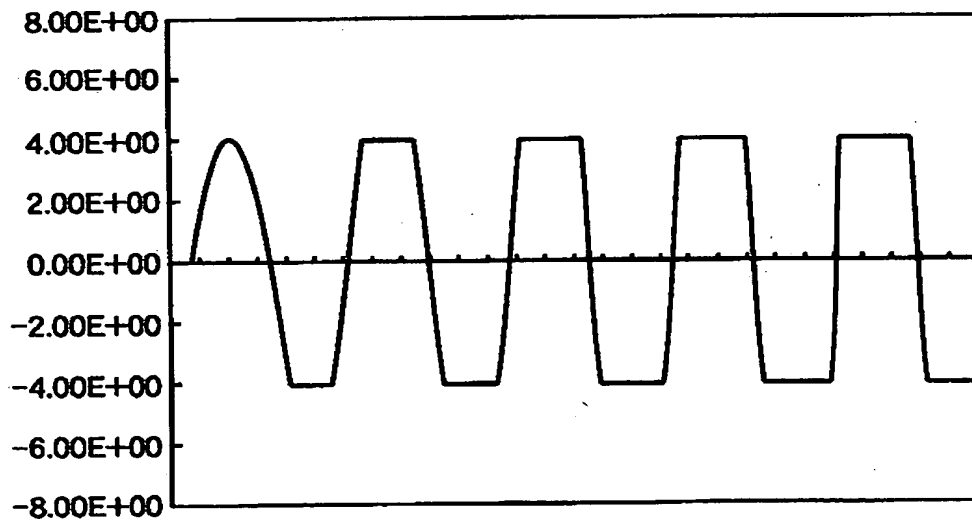


【図36】

(a)



(b)



【図 3 7】

表1

単純和S S3 S2 S1 S0	真の和Z=S-5 Z3 Z2 Z1 Z0	符号	状態
0 0 0 0 (0)	1 0 1 1 (-5)	-	オーバーフロー
0 0 0 1 (1)	1 1 0 0 (-4)	-	オーバーフロー
0 0 1 0 (2)	1 1 0 1 (-3)	-	オーバーフロー
0 0 1 1 (3)	1 1 1 0 (-2)	-	オーバーフロー
0 1 0 0 (4)	1 1 1 1 (-1)	-	
0 1 0 1 (5)	0 0 0 0 (0)	+	
0 1 1 0 (6)	0 0 0 1 (1)	+	オーバーフロー
0 1 1 1 (7)	0 0 1 0 (2)	+	オーバーフロー
1 0 0 0 (8)	0 0 1 1 (3)	+	オーバーフロー
1 0 0 1 (9)	0 1 0 0 (4)	+	オーバーフロー

【図 38】

表2

単純和S' S3' S2' S1' S0'	真の和Z=4-S' Z3 Z2 Z1 Z0	符号	状態
0 0 0 0 (0)	0 1 0 0 (4)	+	オーバーフロー
0 0 0 1 (1)	0 0 1 1 (3)	+	オーバーフロー
0 0 1 0 (2)	0 0 1 0 (2)	+	オーバーフロー
0 0 1 1 (3)	0 0 0 1 (1)	+	オーバーフロー
0 1 0 0 (4)	0 0 0 0 (0)	+	
0 1 0 1 (5)	1 1 1 1 (-1)	-	
0 1 1 0 (6)	1 1 1 0 (-2)	-	オーバーフロー
0 1 1 1 (7)	1 1 0 1 (-3)	-	オーバーフロー
1 0 0 0 (8)	1 1 0 0 (-4)	-	オーバーフロー
1 0 0 1 (9)	1 0 1 1 (-5)	-	オーバーフロー

【図 39】

表3

冗長2進信号 P2 P1B P1A P0	単純和S	真の和Z=S-5	符号	状態
0 0 0 0	0000 (0)	1011 (-5)	-	オーバーフロー
0 0 0 1	0001 (1)	1100 (-4)	-	オーバーフロー
0 0 1 0	0010 (2)	1101 (-3)	-	オーバーフロー
0 0 1 1	0011 (3)	1110 (-2)	-	オーバーフロー
0 1 0 0	0010 (2)	1101 (-3)	-	オーバーフロー
0 1 0 1	0011 (3)	1110 (-2)	-	オーバーフロー
0 1 1 0	0100 (4)	1111 (-1)	-	
0 1 1 1	0101 (5)	0000 (0)	+	
1 0 0 0	0100 (4)	1111 (-1)	-	
1 0 0 1	0101 (5)	0000 (0)	+	
1 0 1 0	0110 (6)	0001 (1)	+	オーバーフロー
1 0 1 1	0111 (7)	0010 (2)	+	オーバーフロー
1 1 0 0	0110 (6)	0001 (1)	+	オーバーフロー
1 1 0 1	0111 (7)	0010 (2)	+	オーバーフロー
1 1 1 0	1000 (8)	0011 (3)	+	オーバーフロー
1 1 1 1	1001 (9)	0100 (4)	+	オーバーフロー

【図 4 0】

表 4

冗長2進信号 P2' P1B' P1A' P0'	単純和S'	真の和Z=4-S'	符号	状態
0 0 0 0	0000 (0)	0100 (4)	+	オ-バ-フロ-
0 0 0 1	0001 (1)	0011 (3)	+	オ-バ-フロ-
0 0 1 0	0010 (2)	0010 (2)	+	オ-バ-フロ-
0 0 1 1	0011 (3)	0001 (1)	+	オ-バ-フロ-
0 1 0 0	0010 (2)	0010 (2)	+	オ-バ-フロ-
0 1 0 1	0011 (3)	0001 (1)	+	オ-バ-フロ-
0 1 1 0	0100 (4)	0000 (0)	+	
0 1 1 1	0101 (5)	1111 (-1)	-	
1 0 0 0	0100 (4)	0000 (0)	+	
1 0 0 1	0101 (5)	1111 (-1)	-	
1 0 1 0	0110 (6)	1110 (-2)	-	オ-バ-フロ-
1 0 1 1	0111 (7)	1101 (-3)	-	オ-バ-フロ-
1 1 0 0	0110 (6)	1110 (-2)	-	オ-バ-フロ-
1 1 0 1	0111 (7)	1101 (-3)	-	オ-バ-フロ-
1 1 1 0	1000 (8)	1100 (-4)	-	オ-バ-フロ-
1 1 1 1	1001 (9)	1011 (-5)	-	オ-バ-フロ-

【書類名】 要約書

【要約】

【課題】 2ビット以上の複数ビットに亙るオーバーフローを検出できると共に、オーバーフロー振動の発生を完全に防止すること。

【解決手段】 デジタルフィルタの演算に際して定められたビット長を超えたデータが発生するオーバーフローを検出するオーバーフロー検出器を設けることにより、2ビット以上の複数ビットに亙るオーバーフローを検出できる。また、前記オーバーフロー検出器により正のオーバーフローが検出された場合は出力値を正の最大値に固定し、負のオーバーフローが検出された場合は出力値を負の絶対値の最大値に固定するクリップ回路を設けることにより、オーバーフロー振動の発生を完全に防止することができる。

【選択図】 図1

特2000-295206

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝